

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-330277

(43)Date of publication of application : 30.11.1999

(51)Int.Cl. H01L 21/8247
 H01L 29/788
 H01L 29/792
 G11C 16/02
 H01L 27/115

(21)Application number : 10-272184

(71)Applicant : SONY CORP

(22)Date of filing : 25.09.1998

(72)Inventor : FUJIWARA ICHIRO

(30)Priority

Priority number : 09303112
 10 68996

Priority date : 05.11.1997
 18.03.1998

Priority country : JP

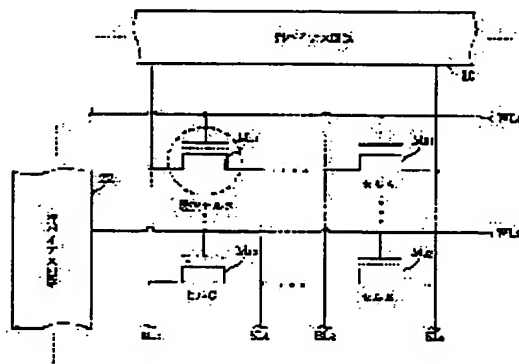
JP

(54) NONVOLATILE SEMICONDUCTOR MEMORY AND ITS READING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the read disturb property of a nonvolatile memory having a micro gate length and realize one transistor cell.

SOLUTION: A plurality of memory transistors, having comparatively thickened tunnel insulation films are arranged like a matrix, constituting a memory array, and in the source and/or drain of a nonselective row memory transistors M21 arranged in a row not including a selective memory transistor M11, a nonselective row bias voltage between source potential and gate potential during reading of selective transistor M11 is applied to the channel formation area in the reverse bias direction for example, and further a voltage between a voltage to be applied during reading of selective memory transistor M11 to the gate and grounding voltage is applied to the source of the selective memory transistor M11. Then a voltage equivalent to or lower than that to the source of the selective memory transistor M11 is applied to the gate of the non-selective line.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-330277

(43) 公開日 平成11年(1999)11月30日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/8247

H 0 1 L 29/78

3 7 1

29/788

G 1 1 C 17/00

6 1 3

29/792

H 0 1 L 27/10

4 3 4

G 1 1 C 16/02

H 0 1 L 27/115

審査請求 未請求 請求項の数53 O L (全 33 頁)

(21) 出願番号 特願平10-272184

(22) 出願日 平成10年(1998) 9月25日

(31) 優先権主張番号 特願平9-303112

(32) 優先日 平9(1997)11月5日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平10-68996

(32) 優先日 平10(1998) 3月18日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 藤原 一郎

東京都品川区北品川6丁目7番35号 ソニ

株式会社内

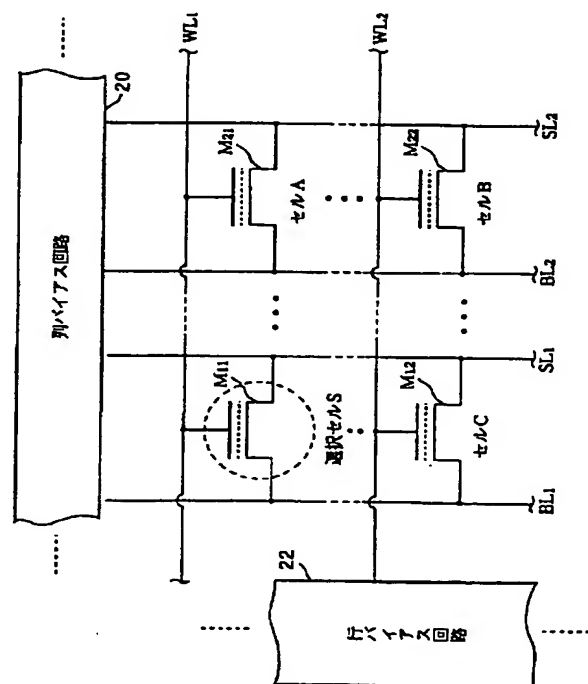
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 不揮発性半導体記憶装置及びその読み出し方法

(57) 【要約】

【課題】 微細ゲート長を有する不揮発性メモリ装置のリードディスタープ特性を改善して、1トランジスタセルを実現する。

【解決手段】 比較的厚膜化されたトンネル絶縁膜を有するメモリトランジスタが行列状に複数配置されてメモリアレイが構成され、選択メモリトランジスタM11を含まない列に配置された非選択列メモリトランジスタM21のソース及び/又はドレインに対し、選択トランジスタM11の読み出し時のソース電位とゲート電位との間の値をとる非選択列バイアス電圧を例えばチャネル形成領域に対して逆バイアス方向に印加し、また選択メモリトランジスタM11のソースに対し、当該選択メモリトランジスタM11のゲートに読み出し時に印加する電圧と接地電位との間の値をとる電圧を印加する。さらに、非選択行のゲートに選択メモリトランジスタM11のソースと同等以下の電圧を印加する。



1

【特許請求の範囲】

【請求項 1】基板と、当該基板表面に設けられた半導体のチャンネル形成領域と、当該チャンネル形成領域と接するソース領域と、当該ソース領域と離間して前記チャンネル形成領域と接するドレイン領域と、前記チャンネル形成領域上に設けられたトンネル絶縁膜を含むゲート絶縁膜と、当該ゲート絶縁膜上に設けられた導電性のゲート電極と、前記ゲート絶縁膜内に設けられた電荷蓄積手段とを有するメモリトランジスタを複数、行列状に配置した不揮発性半導体記憶装置であって、

10 情報を読み出す選択メモリトランジスタを含まない列に配置された非選択列メモリトランジスタのソース及び／又はドレインに対し、前記選択メモリトランジスタの読み出し時のソース電位と、前記選択メモリトランジスタのゲートに読み出し時に印加する電圧との間の値をとる非選択列バイアス電圧を印加する非選択列バイアス手段を有する不揮発性半導体記憶装置。

【請求項 2】前記選択メモリトランジスタのソースに対し、前記選択メモリトランジスタのゲートに読み出し時に印加する電圧と接地電位との間にある電圧を印加して 20 前記ソース電位を設定する選択メモリトランジスタバイアス手段を更に有する請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】前記選択メモリトランジスタを含まない行に配置された非選択行メモリトランジスタのゲートに対し、前記選択メモリトランジスタバイアス手段とほぼ同じかそれ以下の電圧を印加する非選択行バイアス手段を更に有する請求項 2 に記載の不揮発性半導体記憶装置。

【請求項 4】前記非選択列バイアス手段による印加電圧と、前記選択メモリトランジスタのゲートに対し読み出し時に印加する電圧との差の絶対値が 1 V 以内である請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 5】前記非選択列バイアス手段は、前記非選択列メモリトランジスタのソースとドレインに同一の電圧を印加する請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 6】前記メモリトランジスタは、ゲートが接地電位のときに、前記チャンネル形成領域がその中心部まで空乏化されない請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 7】前記メモリトランジスタは、ゲートに接地電位、ドレインに所定のドレイン読み出し電圧をかけたときに、前記チャンネル形成領域がその中心部またはソース領域まで空乏化されない請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 8】複数のメモリトランジスタについて、そのソースを列方向で共通に接続するソース線と、ドレインを列方向で共通に接続するビット線と、ゲートを行方向で共通に接続するワード線とを有し、前記非選択列バイアス手段は、前記ソース線及び／又はビット線に接続されている請求項 1 に記載の不揮発性半 50

2

導体記憶装置。

【請求項 9】複数のメモリトランジスタについて、そのソースを列方向で共通に接続するソース線と、ドレインを列方向で共通に接続するビット線と、ゲートを行方向で共通に接続するワード線とを有し、前記選択メモリトランジスタバイアス手段は、前記ソース線に接続されている請求項 2 に記載の不揮発性半導体記憶装置。

【請求項 10】複数のメモリトランジスタについて、そのソースを列方向で共通に接続するソース線と、ドレインを列方向で共通に接続するビット線と、ゲートを行方向で共通に接続するワード線とを有し、前記選択行バイアス手段は、前記ワード線に接続されている請求項 3 に記載の不揮発性半導体記憶装置。

【請求項 11】前記ソース線は、前記ソース領域が接続された副ソース線と、主ソース線とから構成され、前記ビット線は、前記ドレイン領域が接続された副ビット線と、主ビット線とから構成され、 上記副ソース線と主ソース線の間、上記副ビット線と主ビット線の上にそれぞれ選択トランジスタを有し、当該選択トランジスタを介して主ソース線側及び／又は主ビット線側から前記非選択列バイアス電圧が供給される請求項 8 に記載の不揮発性半導体記憶装置。

【請求項 12】前記基板表面に互いに離間して形成されたビット線方向ライン状の複数の素子分離領域を更に有し、前記ソース線又はビット線の何れか一方が、前記ソース領域又はドレイン領域のうち接続すべき一方の領域上に接続され、かつ、他方の領域上を避けるように素子分離領域上に迂回して配線されている請求項 8 に記載の不揮発性半導体記憶装置。

【請求項 13】前記素子分離領域は平行ストライプ状をなし、前記ソース領域およびドレイン領域上には、それぞれ前記ワード線の側壁に形成されたサイドウォール絶縁層によって自己整合コンタクト孔が開孔され、前記素子分離領域上に迂回して配線されているソース線又はビット線の何れか一方は、前記一方の領域を共通に接続しながら蛇行して配線されている請求項 12 に記載の不揮発性半導体記憶装置。

【請求項 14】前記電荷蓄積手段は、少なくとも外部との間で電荷の移動がない場合に、前記チャンネル形成領域に対向する面全体としての導電性を持たない請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 15】前記電荷蓄積手段は、少なくとも前記チャンネル形成領域に対向する面内で離散化されている請求項 14 に記載の不揮発性半導体記憶装置。

【請求項 16】前記ゲート絶縁膜は、前記チャンネル形成領域上のトンネル絶縁膜と、当該トンネル絶縁膜上の窒化膜または酸化窒化膜とを少なくとも含む請求項 14 に

3

記載の不揮発性半導体記憶装置。

【請求項 1 7】前記ゲート絶縁膜は、前記チャネル形成領域上のトンネル絶縁膜と、前記電荷蓄積手段としてトンネル絶縁膜上に形成された粒径が 1 0 ナノメートル以下の小粒径導電体とを少なくとも含む請求項 1 4 に記載の不揮発性半導体記憶装置。

【請求項 1 8】基板と、当該基板表面に設けられた半導体のチャネル形成領域と、当該チャネル形成領域と接するソース領域と、当該ソース領域と離間して前記チャネル形成領域と接するドレイン領域と、前記チャネル形成領域上に設けられたトンネル絶縁膜を含むゲート絶縁膜と、当該ゲート絶縁膜上に設けられた導電性のゲート電極と、前記ゲート絶縁膜内に設けられた電荷蓄積手段とを有する記憶素子を複数、行列状に配置した不揮発性半導体記憶装置であって、

前記複数の記憶素子のゲート電極が複数のワード線に接続され、

前記ソース領域またはドレイン領域が前記ワード線と電氣的に絶縁された状態で交差するビット線方向の共通線と結合され、

読み出し時において選択されたワード線に接続されたゲート電極を有する非選択前記記憶素子のソース領域及び／又はドレイン領域に、当該領域が前記チャネル形成領域に対して逆バイアスとなる電圧を前記共通線を介して供給する非選択列バイアス手段を有する不揮発性半導体記憶装置。

【請求項 1 9】読み出し時において選択された前記記憶素子のソース領域に接続された共通線に、当該記憶素子の前記チャネル形成領域に対し逆バイアスとなる方向の電圧を供給する選択素子バイアス手段を更に有する請求項 1 8 に記載の不揮発性半導体記憶装置。

【請求項 2 0】読み出し時において、前記チャネル形成領域に対し逆バイアス方向となる電圧であって、かつ前記選択素子バイアス手段の印加電圧とほぼ同じかそれ以下の電圧を非選択ワード線に供給する非選択行バイアス手段を更に有する請求項 1 9 に記載の不揮発性半導体記憶装置。

【請求項 2 1】前記電荷蓄積手段は、少なくとも前記チャネル形成領域に対向する面で離散化されている請求項 1 8 に記載の不揮発性半導体記憶装置。

【請求項 2 2】基板と、当該基板表面に設けられた半導体のチャネル形成領域と、当該チャネル形成領域と接するソース領域と、当該ソース領域と離間して前記チャネル形成領域と接するドレイン領域と、前記チャネル形成領域上に設けられたトンネル絶縁膜を含むゲート絶縁膜と、当該ゲート絶縁膜上に設けられた導電性のゲート電極と、前記ゲート絶縁膜内に設けられた電荷蓄積手段とを有するメモリトランジスタを複数、行列状に配置した不揮発性半導体記憶装置であって、

情報を読み出す選択メモリトランジスタのソースに対

4

し、当該選択メモリトランジスタのゲートに読み出し時に印加する電圧と接地電位との間の値をとる電圧を印加する選択メモリトランジスタバイアス手段を有する不揮発性半導体記憶装置。

【請求項 2 3】基板と、当該基板表面に設けられた半導体のチャネル形成領域と、当該チャネル形成領域と接するソース領域と、当該ソース領域と離間して前記チャネル形成領域と接するドレイン領域と、前記チャネル形成領域上に設けられたトンネル絶縁膜を含むゲート絶縁膜と、当該ゲート絶縁膜上に設けられた導電性のゲート電極と、前記ゲート絶縁膜内に設けられた電荷蓄積手段とを有するメモリトランジスタを複数、行列状に配置した不揮発性半導体記憶装置であって、

情報を読み出す選択メモリトランジスタのドレインに対し、ソース電位よりも大きく、ゲートに読み出し時に印加する読み出しゲート電圧より小さいか同等な読み出しドレイン電圧を印加する選択メモリトランジスタバイアス手段を有する不揮発性半導体記憶装置。

【請求項 2 4】前記メモリトランジスタは、消去時のしきい電圧の値が 0 V または正の値をとる請求項 2 2 に記載の不揮発性半導体記憶装置。

【請求項 2 5】前記トンネル絶縁膜の膜厚が 2 . 3 nm 以上である請求項 2 2 に記載の不揮発性半導体記憶装置。

【請求項 2 6】基板と、当該基板表面に設けられた半導体のチャネル形成領域と、当該チャネル形成領域と接するソース領域と、当該ソース領域と離間して前記チャネル形成領域と接するドレイン領域と、前記チャネル形成領域上に設けられたトンネル絶縁膜を含むゲート絶縁膜と、当該ゲート絶縁膜上に設けられた導電性のゲート電極と、前記ゲート絶縁膜内に設けられた電荷蓄積手段とを有するメモリトランジスタを複数、行列状に配置した不揮発性半導体記憶装置の読み出し方法であって、

読み出しに際し、情報を読み出す選択メモリトランジスタを含まない列に配置された非選択列メモリトランジスタのソース及び／又はドレインに対し、電圧値が前記選択メモリトランジスタの読み出し時のソース電位と、前記選択メモリトランジスタのゲートに読み出し時に印加する電圧との間にある非選択バイアス電圧を印加する不揮発性半導体記憶装置の読み出し方法。

【請求項 2 7】前記読み出しに際し、前記選択メモリトランジスタのソースに対し、当該選択メモリトランジスタのゲートに読み出し時に印加する電圧と接地電位との間にある電圧を印加して前記ソース電位を設定する請求項 2 6 に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項 2 8】前記読み出しに際し、前記選択メモリトランジスタを含まない行に配置された非選択行メモリトランジスタのゲートに対し、前記ソース電位設定時の印加電圧とほぼ同じかそれ以下の電圧を印加する請求項 2

7に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項29】前記非選択列バイアス電圧と、前記選択メモリトランジスタのゲートに読み出し時に印加する電圧との差の絶対値が1V以内である請求項26に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項30】前記非選択列メモリトランジスタのソースとドレインに同一の電圧を印加する請求項26に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項31】前記メモリトランジスタは、ゲートが接地電位のときに、前記チャネル形成領域がその中心部まで空乏化されない請求項26に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項32】前記メモリトランジスタは、ゲートに接地電位、ドレインに所定のドレイン読み出し電圧をかけたときに、前記チャネル形成領域がその中心部またはソース領域まで空乏化されない請求項26に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項33】複数のメモリトランジスタについて、ソース線によって各ソースが列方向で共通に接続され、ビット線によって各ドレインが列方向で共通に接続され、

ワード線によって各ゲートが行方向で共通に接続され、前記非選択列メモリトランジスタへの電圧印加は、前記ソース線またはビット線に対し行う請求項26に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項34】複数のメモリトランジスタについて、ソース線によって各ソースが列方向で共通に接続され、ビット線によって各ドレインが列方向で共通に接続され、

ワード線によって各ゲートが行方向で共通に接続され、前記選択トランジスタのソースへの電圧印加は、前記ソース線に対し行う請求項27に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項35】複数のメモリトランジスタについて、ソース線によって各ソースが列方向で共通に接続され、ビット線によって各ドレインが列方向で共通に接続され、

ワード線によって各ゲートが行方向で共通に接続され、前記選択行メモリトランジスタのゲートへの電圧印加は、前記ワード線に対して行う請求項28に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項36】前記ソース線は、前記ソース領域が接続された副ソース線と、主ソース線とから構成され、前記ビット線は、前記ドレイン領域が接続された副ビット線と、主ビット線とから構成され、

上記副ソース線と主ソース線の間、上記副ビット線と主ビット線の上にそれぞれ選択トランジスタを有し、当該選択トランジスタを介して主ソース線側及び／又は主ビット線側から前記非選択列バイアス電圧が供給される請求項33に記載の不揮発性半導体記憶装置の読み出し方法。

し方法。

【請求項37】前記不揮発性半導体装置は、前記基板表面に互いに離間して形成されたビット方向ライン状の複数の素子分離領域を有し、

前記ソース線又はビット線の何れか一方が、前記ソース領域又はドレイン領域のうち接続すべき一方の領域上に接続され、かつ、他方の領域上を避けるように上記素子分離領域上に迂回して配線されている請求項33に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項38】前記複数の素子分離領域は平行ストライプ状をなし、

前記ソース領域およびドレイン領域上には、それぞれ前記ワード線の側壁に形成されたサイドウォール絶縁層によって自己整合コンタクト孔が開孔され、

前記素子分離領域上に迂回して配線されているソース線又はビット線の何れか一方は、前記一方の領域を共通に接続しながら蛇行して配線されている請求項37に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項39】前記読み出しに際し、前記選択メモリトランジスタのソースに前記ソース電位を設定する電圧を、前記非選択列メモリトランジスタに前記非選択列バイアス電圧をそれぞれ印加し、

前記選択メモリトランジスタのゲートと非選択行のメモリトランジスタのゲートとにそれぞれ所定の電圧を印加した後、

前記選択メモリトランジスタのドレインに所定のドレイン読み出し電圧を印加する請求項26に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項40】前記電荷蓄積手段は、少なくとも外部との間で電荷の移動がない場合に、前記チャネル形成領域に対向する面全体としての導電性を持たない請求項26に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項41】前記電荷蓄積手段は、少なくとも前記チャネル形成領域に対向する面内で離散化されている請求項40に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項42】前記ゲート絶縁膜は、前記チャネル形成領域上のトンネル絶縁膜と、当該トンネル絶縁膜上の窒化膜または酸化窒化膜とを少なくとも含む請求項40に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項43】前記ゲート絶縁膜は、前記チャネル形成領域上のトンネル絶縁膜と、前記電荷蓄積手段としてトンネル絶縁膜上に形成された粒径が10ナノメートル以下の小粒径導電体とを少なくとも含む請求項40に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項44】基板と、当該基板表面に設けられた半導体のチャネル形成領域と、当該チャネル形成領域と接するソース領域と、当該ソース領域と離間して前記チャネル形成領域と接するドレイン領域と、前記チャネル形成領域上に設けられたトンネル絶縁膜を含むゲート絶縁膜

7

と、当該ゲート絶縁膜上に設けられた導電性のゲート電極と、前記ゲート絶縁膜内に設けられた電荷蓄積手段とを有する記憶素子を複数、行列状に配置した不揮発性半導体記憶装置の読み出し方法であって、

ゲート電極を行方向で共通に接続する複数のワード線のうち、読み出し時において選択されたワード線に接続されたゲート電極を有する非選択な前記記憶素子のソース領域及び／又はドレイン領域に、ワード線と電気的に絶縁された状態で交差しソース領域またはドレイン領域に結合するビット方向の共通線を介して、当該領域が前記チャネル形成領域に対して逆バイアスとなる電圧を印加する不揮発性半導体記憶装置の読み出し方法。

【請求項 4 5】読み出し時において選択された前記記憶素子のソース領域に接続された共通線に、当該記憶素子の前記チャネル形成領域に対し逆バイアスとなる方向の電圧を印加する請求項 4 4 に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項 4 6】読み出し時において、前記チャネル形成領域に対し逆バイアス方向となる電圧であって、かつ前記選択された記憶素子のソース領域への印加電圧とほぼ同じかそれ以下の電圧を非選択のワード線に印加する請求項 4 5 に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項 4 7】前記電荷蓄積手段は、少なくとも外部との間で電荷の移動がない場合に、前記チャネル形成領域に対向する面全体としての導電性を持たない請求項 4 4 に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項 4 8】前記電荷蓄積手段は、少なくとも前記チャネル形成領域に対向する面で離散化されている請求項 4 7 に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項 4 9】基板と、当該基板表面に設けられた半導体のチャネル形成領域と、当該チャネル形成領域と接するソース領域と、当該ソース領域と離間して前記チャネル形成領域と接するドレイン領域と、前記チャネル形成領域上に設けられたトンネル絶縁膜を含むゲート絶縁膜と、当該ゲート絶縁膜上に設けられた導電性のゲート電極と、前記ゲート絶縁膜内に設けられた電荷蓄積手段とを有するメモリトランジスタを複数、行列状に配置した不揮発性半導体記憶装置の読み出し方法であって、読み出しに際し、情報を読み出す選択メモリトランジスタのソースに対し、当該選択メモリトランジスタのゲートに読み出し時に印加する電圧と接地電位との間の値をとる電圧を印加する不揮発性半導体記憶装置の読み出し方法。

【請求項 5 0】基板と、当該基板表面に設けられた半導体のチャネル形成領域と、当該チャネル形成領域と接するソース領域と、当該ソース領域と離間して前記チャネル形成領域と接するドレイン領域と、前記チャネル形成領域上に設けられたトンネル絶縁膜を含むゲート絶縁膜

8

と、当該ゲート絶縁膜上に設けられた導電性のゲート電極と、前記ゲート絶縁膜内に設けられた電荷蓄積手段とを有するメモリトランジスタを複数、行列状に配置した不揮発性半導体記憶装置の読み出し方法であって、読み出しに際し、情報を読み出す選択メモリトランジスタのドレインに対し、ソース電位より大きく、ゲートに読み出し時に印加する読み出しゲート電圧と同等かそれ以下の読み出しドレイン電圧を印加する不揮発性半導体記憶装置の読み出し方法。

【請求項 5 1】前記メモリトランジスタは、消去時のしきい電圧の値が 0 V または正の値をとる請求項 4 9 に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項 5 2】前記トンネル絶縁膜の膜厚が 2.3 nm 以上である請求項 4 9 に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項 5 3】複数のメモリセルを並列に読み出しに際し、複数の選択メモリトランジスタのソースに前記ソース電位を設定する電圧を印加し、前記複数の選択メモリトランジスタのゲートと非選択行のメモリトランジスタのゲートとにそれぞれ所定の電圧を印加した後、前記複数の選択メモリトランジスタのドレインに所定のドレイン読み出し電圧を印加する請求項 4 9 に記載の不揮発性半導体記憶装置の読み出し方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリトランジスタのチャネル形成領域とゲート電極との間のゲート絶縁膜の内部に電荷蓄積手段を有し、当該電荷蓄積手段に対し電荷（電子またはホール）を電気的に注入して蓄積し又は引き抜くことを基本動作とする不揮発性半導体記憶装置及びその読み出し方法に関する。特定の、本発明は、例えば平面的に離散化された電荷蓄積手段を有する、又はしきい値電圧分布が狭く設定される選択メモリトランジスタ、又は非選択なメモリトランジスタについて、そのソースおよびドレイン、或いはゲートにそれぞれ所定のバイアス電圧を印加することによって、選択メモリトランジスタへの読み出し時に選択メモリトランジスタ及び非選択メモリトランジスタの誤読み出しを有効に防止するためのインヒビット電圧印加及び消去状態でのしきい値電圧の制御に関する。

【0002】

【従来の技術】高度情報化社会、或いは高速、高帯域ネットワーク社会において、大容量のファイルメモリ、大容量の A/V 用途メモリに対するニーズは大きい。現在、1 ギガバイト (GB) 以上のデータを記憶する大容量メモリシステムとして、ハードディスクおよび光ディスクなどのディスクを記録媒体としたディスクメモリシステムが使用されている。この大きな市場を、不揮発性半導体メモリで置き換えようとする研究が近年、活発化して

いる。ところが、不揮発性半導体メモリは、ハード装置の小型化、軽量化のトレンドには合致しているものの、現状では未だ記憶容量が不足し、1ギガビット (Gb) 以上の大容量を有する一括消去型の不揮発性半導体メモリ (フラッシュメモリ) を実現するに至っていない。また、上記不揮発性半導体メモリは、記憶容量不足に加え、ディスクメモリと比較してビットコストの低減が不十分であり、これらを解消するために不揮発性半導体メモリを高集積化することは重要である。

【0003】不揮発性半導体メモリを高集積化するためには、大別すると、半導体の微細加工技術を駆使し或いはメモリセルの回路方式やデバイス構造を工夫して、メモリセルアレイおよび周辺回路の占有面積そのものを縮小していく方法と、各メモリセルを構成するメモリトランジスタを多値化し、単一メモリトランジスタに複数ビットを記憶させて同じ集積度で実質的に記憶容量を上げる方法が、現在、精力的に検討されている。

【0004】前者の方法のうち、微細化はいわゆるスケールリング則によって行われるが、1 Gb 以上の大容量半導体メモリを FG (Floating Gate) 型のフラッシュメモリで実現するにはスケールリングに関する種々の本質的な問題点、とくにトンネル酸化膜厚がスケールリングされないことに起因した動作電圧の低電圧化が難しくなっている点が指摘されている (日経マイクロデバイス 1 月号及び 2 月号, 1997 年参照)。すなわち、FG 型のフラッシュメモリではフローティングゲートでの電荷の保持がトンネル酸化膜の膜厚に主として依存しているため、フローティングゲートからのバックトンネリング電流の理論的な解析により、トンネル酸化膜の膜厚は 6 nm 程度に物理的に制限されている。しかし、この物理的限界に達する以前の段階で、現行の FG 型では、データの書き込みに 10~12 MV/cm 程度の高電界を用いるために、データの書換え回数の増加にともなってトンネル酸化膜のストレスリークが増え、これが実効的なトンネル酸化膜の膜厚限界を決めることが指摘されている。ストレスリーク電流の増大による膜厚制限により、トンネル酸化膜の厚みを理論限界値の 6 nm まで薄膜化することが困難であり、現実的なトンネル酸化膜の限界は 8 nm であるとされている。低電圧書き込みのためにはトンネル酸化膜を薄くしなければならないが、上記したトンネル酸化膜の薄膜化の限界は、低電圧化のスケールリング則に矛盾し、動作電圧のスケールリングが困難になってきている。そして、その結果、周辺回路の面積縮小化等が大変困難になってきている。

【0005】一方、MONOS (Metal-Oxide-Nitride-Oxide Semiconductor) 型不揮発性メモリでは、電荷保持を主体的に担っている窒化膜 (SixNy ($0 < x < 1$, $0 < y < 1$)) 膜中またはトップ酸化膜と窒化膜との界面のキャリアトラップが膜厚方向或いは面方向に離散化して拡がっているために、データ保持特性が、トン

ネル酸化膜厚のほかに、 SixNy 膜中のキャリアトラップに捕獲される電荷のエネルギー的及び空間的な分布に依存する。このトンネル酸化膜に局所的にリーク電流パスが発生した場合、FG 型では多くの電荷がリークパスを通してリークするのに対し、MONOS 型ではリークパス周辺の局所的な電荷がリークパスを通して局所的にリークするに過ぎない。このため、トンネル酸化膜の薄膜化の問題は FG 型ほど深刻ではなく、ゲート長が極めて短い微細メモリトランジスタにおけるトンネル酸化膜のスケールリング性は、MONOS 型の方が FG 型よりも優れている。

【0006】かかる MONOS 型または MNOS 型の不揮発性メモリについて、ビットあたりのコスト低減、高集積化を図り大規模な不揮発性メモリを実現するには、1 トランジスタ型のセル構造を実現することが必須である。しかし、従来の MONOS 型等不揮発性メモリでは、メモリトランジスタに選択トランジスタを接続させた 2 トランジスタ型が主流であり、1 トランジスタセルを実現するセル技術の確立が従来からの課題となっていた。この 1 トランジスタセル技術確立のためには、電荷蓄積手段を含むゲート絶縁膜を中心としたデバイス構造の最適化及び信頼性向上のほかに、ディスタープ特性の向上が重要である。

【0007】MONOS 型 1 トランジスタセルについて、例えば特表平 8-507411 号公報にリードディスタープを回避するための技術が記述されている。この公報に記述された内容によれば、リードディスタープは ON 膜に印加される弱い書き込み電界に起因しているため、選択メモリトランジスタのソースをゲート読み出し電圧までバイアスし、ソースとゲート間を同一電位とすることで、リードディスタープを回避している。また、消去時のしきい電圧を負の値に設定している。その場合、トンネル絶縁膜厚を典型値で 1.6 nm としている。

【0008】

【発明が解決しようとする課題】しかしながら、上記公報に記述された技術においては、以下のような問題点が存在する。

【0009】(1) トンネル絶縁膜厚が典型値で 1.6 nm と比較的薄いため、消去時にホール注入に起因したしきい電圧のデプリーション方向へのシフト量が大きくなる。このため、データ書換え時にホールの注入、放出に起因してトンネル絶縁膜内にトラップが形成され、その結果として、データ書換え特性が劣化する。

【0010】(2) メモリセルのスケールリングに対応して、ドレイン読み出し電圧 (供給電圧 V_{cc}) をスケールリングすることが難しい。たとえば、消去状態のしきい電圧 -2 V を、ソースバイアス後に 0.5 V 程度とするには、ソースとゲートのバイアス電圧 V_r は 2 V 程度必要となる。したがって、この場合にドレインに印加するド

11

レイン読み出し電圧は最低でも 3 V 程度は必要である。このドレイン読み出し電圧について、メモリトランジスタを微細化してもソースバイアス電圧 V_r がほとんど変化しないため、スケールが難しい。実際に上記公報において、ドレイン読み出し電圧（電源電圧 V_{cc} ）の典型値は 3 V ~ 6 V と記述されている。

【0011】（3）上記公報では、選択ワード線に接続された非選択トランジスタの書き込み禁止を、そのソースおよびドレインを供給電圧 V_{cc} にして達成している。このため、短ゲート長領域（特にゲート長 0. 2 μm 以下の場合）において、非選択ワード線のある程度高い正の電位に設定しなければ非選択ワード線に接続された非選択列のセルの誤書き込みまたは誤消去を禁止できない。ところが、非選択ワード線に接続されたセルのうち、選択セルのソース線およびビット線が共通に接続されたセル（選択列で非選択行のセル）において、ソースおよびドレインの電位は、選択セルの書き込み条件により決まるためむやみに上げることができない。その結果、この選択列で非選択行のセルが弱い書き込み状態となり、しかもトンネル絶縁膜厚が典型値で 1. 6 nm と比較的薄いことから、書き込みディスタ urb を受けることは避けられない。

【0012】ところで、MONOS 型 1 トランジスタセルを実現するには、データ書き換えを多数回繰り返した後に所望のディスタ urb 特性が保証されている必要があるにもかかわらず、上記公報では、データ書き換え後のディスタ urb 特性についての記述がない。そこで、本発明者らは、MONOS 型に代表される電荷蓄積層が平面的に離散化された不揮発性半導体記憶装置のリードディスタ urb マージンを決めている要因を探る検討を種々行い、NOR 型セルを用いて MONOS メモリトランジスタのデータ書き換えを多数回行うことにより、リードディスタ urb 特性の劣化に関する問題点をあらいだした。その結果、データ書き換えを 100 万回行った後のリードディスタ urb 特性の読み出しゲート電圧依存性において、2 つの問題点が存在することが明らかとなった。なお、このときの選択ワード線および選択ビット線の印加電圧は 1. 5 V であり、非選択ワード線、非選択ビット線および全ソース線電圧は 0 V とした。

【0013】第 1 の問題点としては、電圧（1. 5 V）が印加された選択ワード線にゲートが接続された同一行の選択メモリトランジスタまたは非選択メモリトランジスタが時間経過とともに弱い書き込み状態に推移し、この結果、消去状態でのゲート閾値電圧が時間とともに増大して、10 年後における書き込み状態と消去状態のゲート閾値電圧の差（ V_{th} ウィンドウ幅）が充分でないことが判明した。

【0014】また、第 2 の問題点としては、消去時に例えばホール注入によるデプリーション方向への弱い書き込みによって消去状態での V_{th} を低くしメモリトランジスタ

12

タの V_{th} ウィンドウ幅を大きくすること、及び、短チャネル効果のためのゲート閾値電圧のロールオフ (roll-off) によって、ゲート長が短い場合に V_{th} ウィンドウが相対的にしきい電圧の負側にシフトし、10 年間読み出しを行う間に書き込み状態のゲート閾値電圧が選択ワード線の電圧（読み出しゲート電圧）より小さくなっていることが判明した。この結果、書き込み状態のデータを読み出すときに、消去状態を読み出すときと同様に電流がビット線とソース線との間に流れるため、1 トランジスタ動作が難しくなる。また、非選択メモリトランジスタの消去状態のゲート閾値電圧が低すぎる場合には、トランジスタがデプリーションになり、ゲート電圧が 0 V でも読み出し時にリーク電流が流れる問題が生じ、1 トランジスタ動作が難しくなる。

【0015】これらの現象は、通常の FG 型でも内在していると考えられるが、FG 型ではトンネル酸化膜が 8 nm 以上と厚いために、読み出し時の選択ワード線電圧が 3. 3 V と高い場合でもソフトライトが問題となることはない。また、FG 型では、消去状態でのゲート閾値電圧 V_{th} を MONOS 型と比較して高く設定可能である。上記 2 つの問題は、FG 型と比較してトンネル絶縁膜の薄膜化が可能で、電荷蓄積手段が平面的に離散化された MONOS 型等のメモリ素子においてゲート長を微細化した 1 トランジスタセルの場合に顕在化してきた問題である。

【0016】本発明は、このような実情に鑑みてなされ、その目的は、ゲート絶縁膜内に電荷蓄積手段を有し、特に電荷を平面的に離散化されたキャリアトラップに注入または当該トラップから放出させて基本動作する不揮発性半導体記憶装置について、その 1 トランジスタ型セルの実現を容易化する検討の一環として、読み出し速度およびデータ保持特性を劣化させることなくリードディスタ urb 特性を改善することができるバイアス設定手法、トンネル絶縁膜の条件、及び消去状態のしきい値の条件を新たに提案し、その実施に好適な構成の不揮発性半導体記憶装置を提供することにある。

【0017】

【課題を解決するための手段】上記検討の結果明らかになった第 1 の問題点を解決するために、本発明の不揮発性半導体記憶装置の読み出し方法は、基板と、当該基板表面に設けられた半導体のチャネル形成領域と、当該チャネル形成領域と接するソース領域と、当該ソース領域と離間して前記チャネル形成領域と接するドレイン領域と、前記チャネル形成領域上に設けられたトンネル絶縁膜を含むゲート絶縁膜と、当該ゲート絶縁膜上に設けられた導電性のゲート電極と、前記ゲート絶縁膜内に設けられた電荷蓄積手段とを有するメモリトランジスタを複数、行列状に配置した不揮発性半導体記憶装置の読み出し方法であって、読み出しに際し、情報を読み出す選択メモリトランジスタを含まない列に配置された非選択列

13

メモリトランジスタのソース及び／又はドレインに対し、電圧値が前記選択メモリトランジスタの読み出し時のソース電位と、前記選択メモリトランジスタのゲートに読み出し時に印加する電圧との間にある非選択バイアス電圧を印加することによって、当該非選択列メモリトランジスタへの誤読み出しを禁止する。また、好ましくは、選択メモリトランジスタのソースにも電圧（選択ソース線バイアス電圧）を印加することにより、当該選択メモリトランジスタの誤読み出しを抑止する。また、好ましくはトンネル絶縁膜の膜厚を比較的厚くして、2. 10 3 nm以上に設定する。さらに、好ましくは、読み出しに際し、前記選択メモリトランジスタを含まない行に配置された非選択行メモリトランジスタのゲートに対し、前記ソース電位設定時のバイアス電圧とほぼ同じかそれ以下の電圧（非選択ワード線バイアス電圧）を印加する。

【0018】本発明の不揮発性半導体記憶装置の読み出し方法は、電荷蓄積手段が平面的に離散化された不揮発性半導体記憶装置（例えば、MONOS型、MNOS型、ナノ結晶型等）に好適であり、セル方式ではNOR型に好適である。また、セル面積縮小の観点では、ソース線又はビット線の一方が、他方との接続を達成する自己整合コンタクトを素子分離領域上に避けながら蛇行したレイアウト、ソース線及び／又はビット線が階層化しているレイアウトの何れかが望ましい。本発明の読み出し方法は、前述の検討結果および経緯から、さらに以下の2つの場合に好適である。

（1）非選択列メモリトランジスタのソース及び／又はドレインへの印加電圧は、好適には、前記選択メモリトランジスタのゲートに対し読み出し時に印加する電圧との差の絶対値が1 V以内である。 30

（2）選択ビット線に接続された短ゲート長の非選択メモリトランジスタは、メモリセルの読み出し時に選択ビット線に電圧が印加された場合にパンチスルーしないチャネル形成領域の不純物濃度分布を有する。

【0019】このような本発明の読み出し方法では、読み出し時に非選択列メモリトランジスタのソース及び／又はドレインに電圧を印加することによって、例えば電荷蓄積手段との間に介在するトンネル絶縁膜にかかる実効的な電界を緩和できる。その結果、特に消去状態にある非選択列メモリトランジスタのしきい電圧が時間経過とともに増大するといった、いわゆるソフトライトが有効に防止され、リードディスタース特性が改善される。このリードディスタース特性が問題ない範囲で、読み出しゲート電圧（選択ワード線電圧）を高くすることが可能であり、そのぶん読み出し時のセル電流が増大する。この場合、読み出しゲート電圧は読み出しドレイン電圧より高くなる。また、前記公報と比較して、トンネル絶縁膜が比較的厚く設定されているため、選択メモリセル、非選択メモリセルでは共にトンネル確率が減少する 50

14

ため、リードディスタース特性が改善される。

【0020】一方、前記検討の結果明らかになった第2の問題点を解決するために、また、前記公報に記載された技術が有する問題点を解決するために、本発明の不揮発性半導体記憶装置の読み出し方法は、読み出しに際し、情報を読み出す選択メモリトランジスタのソースに対し、当該選択メモリトランジスタのゲートに読み出し時に印加する電圧と接地電位との間にある電圧を印加する。この選択ソース線等に対する印加電圧は、例えばチャネル形成領域に対してソース領域を逆バイアスすることとなり、選択メモリセルトランジスタのリードディスタース特性を改善する効果と、消去状態でのしきい電圧をプラス方向にシフトさせる作用を併せもつ。ソースバイアス電圧の印加によりしきい電圧がプラス方向にシフトするため、ソースバイアス電圧値を大きくするにつれて選択ソース線／ビット線に接続された非選択セルからのリーク電流が抑制される。

【0021】この読み出し方法は、前記検討において、選択メモリトランジスタのソース電位を若干上げるだけで、その電位上昇幅以上に大きくゲート閾値電圧が上昇することが判明したことに由来する。ソース電位を上昇しすぎると、ビット線に印加された読み出しドレイン電圧との関係で当該選択メモリトランジスタのソースとドレイン間の印加電圧が不十分となる。この読み出し方法では、ソースとドレイン間の印加電圧値を大幅に犠牲にすることなく、ゲート閾値電圧を大きく上昇できる作用があり、これによって前記検討によって明らかとなった消去側で V_{th} シフト量を大きくする効果及びロールオフ効果による V_{th} ウインドウ幅の下方シフトの問題を改善することができる。また、前記公報に記載の技術では難しかったドレイン読み出し電圧のスケーリングが容易となる。さらに、同一ワード線に接続されたセル群を選択して並列に読み出すページ読み出しの場合、選択ワード線に接続されたセルは全て選択セルとしてとり扱うため、上述した選択メモリセルに対する問題解決方法が適用できる。このため、ページ読み出し可能な1トランジスタセルが実施できる。

【0022】これらの選択メモリトランジスタのソース、及び前者の方法による選択行の非選択列メモリトランジスタのソースとドレインの電圧印加において、残る非選択行のメモリトランジスタのバイアス設定値を最適化するには、当該非選択行メモリトランジスタのゲートに対し、前記選択メモリトランジスタのソースとほぼ同じかそれ以下の電圧を印加することが望ましい。NOR型では、当該選択メモリトランジスタのソース電圧印加とともに非選択行のメモリトランジスタのソースにも同じ電圧が印加され、また前記ソースとドレインへの電圧印加は、非選択列メモリトランジスタ全てに対し行われ、読み出しゲート電圧が印加されない非選択行のメモリトランジスタについても同様である。このようにNO

15

R型における非選択行のメモリトランジスタは、本発明で問題としているリードディスタープ特性を改善する対象ではないが、本発明のバイアス電圧設定によって、そのソース（又はソースとドレイン）に電圧が印加されてしまう。非選択行のゲートに電圧印加するのは、かかる本発明のバイアス電圧設定による影響を緩和する趣旨である。

【0023】なお、FG型においては、データ読み出しの際に、上記非選択セルのディスタープの改善を意図した非選択ソース線、非選択ビット線および非選択ワード線にバイアス電圧を印加する公知技術は存在しない。FG型ではトンネル酸化膜厚が8nm以上と厚いために読み出しゲート電圧3.3V程度では消去状態での選択ワード線に連なる非選択セルがソフトライトをうけないためである。

【0024】一方、本発明の不揮発性半導体記憶装置は、上記読み出し方法を実施する手段として、選択メモリトランジスタバイアス手段、及び／又は、非選択列バイアス手段を有することを特徴とする。選択メモリトランジスタバイアス手段は、情報を読み出す選択メモリトランジスタのソースに対し、当該選択メモリトランジスタのゲートに読み出し時に印加する電圧と接地電位との間にある電圧を印加する。非選択列バイアス手段は、選択メモリトランジスタを含まない列に配置された非選択列メモリトランジスタのソース及び／又はドレインに対し、前記選択メモリトランジスタの読み出し時のソース電位と、前記選択メモリトランジスタのゲートに読み出し時に印加する電圧との間をとる電圧を印加する。好ましくは、非選択行メモリトランジスタのゲートに対し、前記選択メモリトランジスタのソース電圧とほぼ同じかそれ以下の電圧を印加する非選択行バイアス手段を更に有する。

【0025】本発明の不揮発性半導体記憶装置は、基板と、当該基板表面に設けられた半導体のチャネル形成領域と、当該チャネル形成領域と接するソース領域と、当該ソース領域と離間して前記チャネル形成領域と接するドレイン領域と、前記チャネル形成領域上に設けられたトンネル絶縁膜を含むゲート絶縁膜と、当該ゲート絶縁膜上に設けられた導電性のゲート電極と、前記トンネル絶縁膜内に設けられた電荷蓄積手段とを有する記憶素子を複数、行列状に配置した不揮発性半導体記憶装置であって、前記複数の記憶素子のゲート電極が複数のワード線に接続され、前記ソース領域またはドレイン領域が前記ワード線と電気的に絶縁された状態で交差するビット線方向の共通線と結合され、読み出し時において選択されたワード線に接続されたゲート電極を有する非選択な前記記憶素子のソース領域及び／又はドレイン領域に、当該領域が前記チャネル形成領域に対して逆バイアスとなる電圧を前記共通線を介して供給する非選択列バイアス手段を有する。また、好適には、読み出し時において

16

選択された前記記憶素子のソース領域に接続された共通線に、当該記憶素子の前記チャネル形成領域に対し逆バイアスとなる方向の電圧を供給する選択素子バイアス手段を更に有する。さらに、好適には、読み出し時において、前記チャネル形成領域に対し逆バイアス方向となる電圧であって、かつ前記選択素子バイアス手段の印加電圧とほぼ同じかそれ以下の電圧を非選択ワード線に供給する非選択行バイアス手段を更に有する。

【0026】

【発明の実施の形態】以下、本発明に係る不揮発性半導体記憶装置及びその読み出し方法の実施形態を、図面を参照しながら詳細に説明するが、これに先立って、先に記述したリードディスタープ特性における問題点が判明した検討結果が本発明の前提となっていることから、この検討結果について述べる。つぎに、本発明の実施形態を、本発明適用後の不揮発性メモリの諸特性を示すことによって本発明の有効性を実証しながら詳細に説明する。

【0027】本発明前のリードディスタープに関する検討

MONOS型不揮発性メモリにおいては、先に述べたように、1トランジスタセルを実現するには、リードディスタープ特性、特に、データ書換え後のリードディスタープ特性が重要である。また、その際には、セル動作を確認するためにNOR型、NAND型などの具体的なセル構造を想定し、このセル構造ごとに異なるバイアス条件下でのディスタープ特性、特にデータ書換え回数とリードディスタープ特性との関係を明かにすることが望ましい。リードディスタープ特性は、トンネル絶縁膜の膜厚が厚い方が改善されるが、トンネル絶縁膜厚を厚くし過ぎると、書き込み／消去の動作速度が遅くなるとともに動作電圧が増大する。ここでは、トンネル絶縁膜を比較的厚くしたMONOS型不揮発性メモリトランジスタのリードディスタープ特性を評価した。

【0028】図24には、この検討の際に用いたソース分離NOR型のセル配列を示している。ここで、選択ワード線WL1に接続された非選択なセルをA、非選択ワード線WL2に接続されたセルで、選択セルSと同じ選択ソース線SL1および選択ビット線BL1に接続された非選択なセルをC、非選択ワード線WL2に接続され、非選択ソース線SL2および非選択ビット線BL2に接続された非選択なセルをBと定義した。また、1ストリング内のワード線は100本であった。

【0029】NOR型セルにおいて、MONOS型メモリトランジスタの読み出し動作時には、通常、選択ソース線SL1および非選択ソース線SL2、非選択ビット線BL2、非選択ワード線WL2を全て接地電位0Vにし、選択ビット線BL1に所定の読み出しドレイン電圧（例えば、1.5V）を印加した状態で、選択ワード線WL1に所定の読み出しゲート電圧（例えば、1.5

17

V) を印加する。このとき、選択セルSのみソースとドレイン間に1.5Vの電圧が印加され、かつゲートに1.5Vの電圧が印加されることから、当該セルデータが例えば“0”の場合、そのゲート閾値電圧が読み出しゲート電圧より低いので、メモリトランジスタがオンし選択ビット線BL1から選択ソース線SL1に読み出し電流が流れる。当該セルデータが例えば“1”の場合は、そのゲート閾値電圧が読み出しゲート電圧より高いので、メモリトランジスタがオフしたままで読み出し電流は流れない。その一方、選択ワード線WL1に読み出しゲート電圧が印加されているため、選択セルS及び非選択セルAが弱い書き込み状態となることから、かかる1トランジスタ型セルの実現のためには、この選択セルS、非選択セルAの読み出し時のディスターブを如何に抑えるかが重要となる。すなわち、消去状態にある選択セルS及び非選択セルAのメモリトランジスタについて、チャネル形成領域側からONO膜中のトラップへの電子の弱い注入によるゲート閾値電圧の上昇が問題となる。このゲート閾値電圧の上昇が最も顕著なのは、データ書換が頻繁に行われた後である。そこで、標準的なデータ書換100万回後のリードディスターブ特性を測定した。

【0030】図25に、非選択セルAにおけるメモリトランジスタ（ゲート長：0.2 μ m）について、データ書換を100万回行った後のリードディスターブ特性を示す。この特性評価では、消去側の弱い書き込み状態の程度を変えるために、ゲート電圧V_g（選択ワード線WL1の印加電圧）をパラメータとした。後段のセンスアンプの感度によるが、一般に、十分に高速性を維持しながら確実にデータを読み出すには、ゲート閾値電圧の消去側と書き込み側の差（以下、V_{th}ウインドウ幅という）は、最低でも0.5Vは必要である。図25に示すように、本特性評価では、おおよそ1 \times 10⁴秒までの実験データを取り、後は10年である3.1 \times 10⁸秒までデータを直線で外挿して、このときのV_{th}ウインドウ幅を推定した。ある一定の時間より長い時間領域（例えば1 \times 10⁴秒）でのリードディスターブ特性またはデータ保持特性において、V_{th}シフトの時間依存性がある一定の長い時間領域以降で直線的に減少することは、ランドキストの理論により裏づけられている。

【0031】その結果、このバイアス電圧の設定では、以下の2つの問題点が存在することが分かった。

【0032】第1の問題としては、ゲート電圧V_g（1.5V）が印加された選択ワード線WL1に接続された非選択メモリセルAにおいて、時間経過とともに消去側のゲート閾値電圧V_{th}(E)が増大する一方で、書き込み側のゲート閾値電圧V_{th}(W)も徐々に低下し、この結果、10年後のV_{th}ウインドウ幅が実用的な最低値0.5V以下になってしまうことが判明した。これは、

18

データ書換えを多数回行うことにより、トンネル絶縁膜内にキャリアトラップが発生し、そのキャリアトラップを介してバックトンネル電流が流れるためである。

【0033】また、第2の問題としては、選択メモリセルSについて、V_{th}ウインドウ幅を規定する書き込み側のゲート閾値電圧V_{th}(W)、消去側のゲート閾値電圧V_{th}(E)がともに負側にシフトし、特に書き込み側のゲート閾値電圧V_{th}(W)が選択ビット線BL1の印加電圧（読み出しドレイン電圧）より小さくなっていることが

判明した。また、消去状態でのV_{th}がマイナス方向にシフトした場合、非選択メモリセルCでのリーク電流が増大し問題となる。これらの問題はメモリトランジスタのゲート長が0.18 μ mより短い場合に顕在化した。この結果、選択メモリトランジスタの書き込み状態のデータを読み出すときに、消去状態を読み出すときと同様に電流がビット線に流れる。また、消去状態での非選択セルにおいて、リーク電流が流れてしまう。消去状態での選択メモリセルと非選択メモリセルとの電流量の差または選択メモリセルにおける書き込み状態と消去状態での電流量の差のマージンが充分であればデータの判別は可能であるが、上記現象によって1トランジスタセルへの置き換えがそのままできない、或いはエンハンスメント動作領域を狭くして多値化の達成を困難なものとするといったことが問題となる。なお、ゲート閾値電圧の低下はV_{th}シフト量を大きくする観点から消去状態でのV_{th}を低くせざるを得ないこと、またはメモリトランジスタの短チャネル効果によってゲート閾値電圧のロールオフ(roll-off)が生じていることが原因である。

【0034】これらの問題点は、本検討におけるMONOS型のみならず、後述する電荷蓄積手段が平面的に離散化している他の不揮発性メモリにおいても、NOR型1トランジスタセルを実現する際に同様に存在すると考えられる。

【0035】また、これらの現象は、通常のFG型でも内在していると考えられるが、FG型ではトンネル酸化膜が8nm以上と厚いために、読み出し時の選択ワード線電圧が3.3Vと高い場合でもソフトライトが問題となることはない。また、FG型では、消去状態でのゲート閾値電圧V_{th}をMONOS型と比較して高く設定可能である。上記2つの問題は、FG型と比較してトンネル酸化膜の薄膜化が可能で、電荷蓄積手段が平面的に離散化されたMONOS型等のメモリ素子において顕在化してきた問題である。

【0036】本実施形態に係る不揮発性半導体記憶装置の読み出し方法では、まず、上記第2の問題に対する解決策として、選択メモリセルSのソース線SL1を後述するチャネル形成領域に対し逆バイアス、即ち選択メモリセルSのソース領域とチャネル形成領域間のpn接合が逆バイアスとなる方向にバイアスして読み出すこととした。一般に、ソースバイアスによって相対的にゲート

19

閾値電圧が正方向にシフトする。本検討では、このゲート閾値電圧のシフト量が、ソース電圧のバイアス量を越えて大きく変化することを見いだした。この結果、ソース電圧を上げることが、選択メモリトランジスタのソースとドレイン間の印加電圧を余り犠牲にしないで、当該トランジスタのゲート閾値電圧を大きくするのに効果的であることが分かった。本読み出し方法は、このソースバイアス電圧を最適化して、消去状態でのゲート閾値電圧低下を改善するものである。この場合、ソースには、ゲート読み出し電圧と接地電圧との間のバイアス電圧を印加する。

【0037】次に、前記第1の問題点に対する解決策として、本実施形態では、非選択メモリセルAのトンネル絶縁膜にかかる実効的な電界を緩和した。例えば、当該非選択セルAに接続された非選択ソース線SL2と非選択ビット線BL2に正のバイアス電圧を印加することとした。この正のバイアス電圧は、後述するチャネル形成領域に対し逆バイアス、即ち非選択セルのソース領域又はドレイン領域とチャネル形成領域間のpn接合が逆バイアスとなる方向の電圧であり、その値は後述するように、選択メモリセルSのソース印加電圧とゲート印加電圧との間が望ましく、とくにゲートとソース又はドレインとの間の電位差を1V以内とするのが更に好適である。また、非選択ソース線SL2と非選択ビット線BL2に正のバイアス電圧を印加した場合に、非選択メモリセルBの書き込み状態でのディスターブが問題になる可能性があり、その場合は非選択ワード線WL2に正バイアス電圧を印加することにより改善可能である。この非選択ワード線WL2への印加電圧は、後述するチャネル形成領域に対し逆バイアス方向となる電圧であり、その値は後述するように、選択メモリセルSのソース印加電圧とほぼ同じかそれ以下にして、非選択セルCからのリーク電流を十分抑制できる程度のバイアス電圧に設定することが望ましい。なお、上記第2の問題解決を目的とした選択メモリセルSのソース印加電圧は、選択メモリセルSのディスターブを改善する効果があり、その効果も確認した。

【0038】このような読み出し方法を達成する具体的な手段として、本発明の不揮発性半導体メモリ装置では、選択メモリトランジスタバイアス手段（又は、選択素子バイアス手段ともいう）、非選択列バイアス手段、及び非選択行バイアス手段を有する。また、本発明はFG型の不揮発性メモリ装置への適用も可能であるが、特に好適な不揮発性メモリ装置としては、電荷蓄積手段が平面的に離散化されたメモリトランジスタを有するものがある。ここで、「電荷蓄積手段」とは、ゲート絶縁膜内に形成され、そのゲート絶縁膜上のゲート電極への印加電圧に応じて基板側との間で電荷をやり取りし、電荷保持する電荷保持媒体をいう。また、「平面的に離散化された電荷蓄積手段」とは、ONO(Oxide-Nitride-Oxi

20

de)膜またはNO(Nitride-Oxide)膜等の窒化膜バルクのキャリアトラップ或いは酸化膜と窒化膜界面付近に形成された深いキャリアトラップ、シリコン等からなり粒径がナノメートル(nm)オーダーのナノ結晶、ポリシリコン等からなり微細なドット状に分割された微細分割フローティングゲート等をいう。メモリ素子が多値化された場合、読み出しディスターブが厳しくなることから本発明は特に好適である。さらに、本発明でメモリトランジスタが形成される領域（素子形成領域）には、種々の形態がある。たとえば、半導体基板そのもののほか、基板内の表面側に形成されたウェル、半導体基板面に形成したエピタキシャル成長層、或いはSOI(Silicon On Insulator)型の絶縁構造を有する半導体層などが、素子形成領域に該当する。本発明における“チャネル形成領域”とは、その表面側内部に電子または正孔が導電するチャネルが形成される領域をいう。

【0039】つぎに、本発明の実施形態を、更に具体的に説明する。

【0040】第1実施形態

本実施形態は、上記ゲート電極とチャネル形成領域との間の積層膜（ゲート絶縁膜）がONO膜からなるMONOS型不揮発性メモリについてである。図1は、このMONOS型メモリトランジスタの素子構造を示す断面図、図2は本発明のMONOS型不揮発性メモリ装置の要部構成を示す回路図である。

【0041】図中、符号1はn型またはp型の導電型を有するシリコンウェーハ等の半導体基板、1aはチャネル形成領域、2および4は当該メモリトランジスタのソース領域およびドレイン領域を示す。本例のチャネル形成領域は、前記素子形成領域としての基板1内でソース領域2およびドレイン領域4に挟まれた部分が該当する。また、ソース領域2及びドレイン領域4は、チャネル形成領域1aと逆導電型の不純物を高濃度に半導体基板1に導入することにより形成された導電率が高い領域であり、種々の形態がある。通常、ソース領域2及びドレイン領域4のチャネル形成領域1aに臨む基板表面位置に、LDD(Lightly Doped Drain)と称する低濃度不純物領域を具備させることが多い。

【0042】チャネル形成領域1a上には、ゲート絶縁膜6を介してメモリトランジスタのゲート電極8が積層されている。ゲート電極8は、一般に、p型またはn型の不純物が高濃度に導入されたポリシリコン(doped poly-Si)、又はdoped poly-Siと高融点金属シリサイドとの積層膜からなる。

【0043】本実施形態におけるゲート絶縁膜6は、下層から順に、トンネル絶縁膜10、窒化膜12、トップ酸化膜14から構成されている。トンネル絶縁膜10は、例えば熱酸化により形成された酸化シリコン(SiO₂)を熱窒化した窒化酸化膜からなり、この絶縁膜内を電子が直接トンネリングにより伝導する。また、MO

21

NOS型ではトンネル絶縁膜10と窒化膜12の一部とで形成される三角ポテンシャルは電子が実効的にトンネルする領域となり、その内部の電子伝導がモディファイドFN(Modified Fowler Nordheim)トンネリングを利用して行われる。トンネル絶縁膜10の膜厚は、使用用途に応じて2.0nmから3.6nmの範囲内で決めることができ、ここでは2.8nmに設定されている。窒化膜12は、例えば5.0nmの窒化シリコン(SixNy, $0 < x < 1$, $0 < y < 1$)膜から構成されている。トップ酸化膜14は、窒化膜12との界面付近に深いキャリアトラップを高密度に形成する必要があり、このため成膜後の窒化膜を熱酸化して形成される。トップ酸化膜14の膜厚は、ゲート電極8からのホールの注入を有効に阻止してデータ書換可能な回数の低下防止を図るために、最低でも3.0nm、好ましくは3.5nm以上が必要である。

【0044】つぎに、このような構成のメモリトランジスタの製造方法例を、ゲート絶縁膜工程を中心に簡単に述べる。まず、基本的な製造方法の大まかな流れを説明すると、用意した半導体基板(例えばp型シリコンウェーハ)1に対し素子分離領域の形成、ゲート閾値電圧V_{th}調整用のイオン注入等を必要に応じて行った後、半導体基板1の能動領域上にゲート絶縁膜6を介してゲート電極8を積層し、これと自己整合的にソース・ドレイン領域2, 4を形成し、層間絶縁膜の成膜とコンタクト孔の形成を行い、ソース・ドレイン電極形成、及び必要に応じて行う層間絶縁層を介した上層配線の形成およびオーバーコート成膜とパッド窓開け工程等を経て、当該不揮発性メモリトランジスタを完成させる。

【0045】上記ゲート絶縁膜6の形成工程では、まず、窒素で希釈した高温短時間熱酸化法(RTO法)でシリコン基板1を熱酸化し、つぎに、アンモニア雰囲気中でトンネル絶縁膜10に対し高温短時間熱窒化処理(RTN処理)を、例えば炉温度1000℃、処理時間1分の条件で行うことにより、トンネル絶縁膜10(最終厚み2.8nm)を形成する。つぎに、減圧CVD法で窒化膜12を最終膜厚が5.0nmとなるように、これより厚めに堆積する。このCVDは、例えば、ジクロロシラン(DCS)とアンモニアを混合した導入ガスを用い、基板温度650℃で行う。この熱酸化膜上の窒化シリコン膜形成では、必要に応じて、予め、出来上がり膜表面の荒さの増大を抑止するため下地面の前処理(ウェーハ前処理)及び成膜条件を最適化するとよい。この場合、ウェーハ前処理を最適化していないと窒化シリコン膜の表面モフォロジーが悪く正確な膜厚測定ができないことから、このウェーハ前処理を十分に最適化した上で、次の熱酸化工程で膜減りする窒化シリコン膜の減少分を考慮した膜厚設定を行う。形成した窒化シリコン膜表面を熱酸化法により酸化して、トップ酸化膜14

(3.5nm)を形成する。この熱酸化は、例えばH₂

22

雰囲気中で炉温度950℃で行う。これにより、トラップレベル(窒化シリコンの伝導帯からのエネルギー差)が2.0eV以下の程度の深いキャリアトラップが約 $1 \sim 2 \times 10^{13}/\text{cm}^2$ の密度で形成される。また、窒化膜12が1nmに対し熱酸化シリコン膜(トップ酸化膜14)が1.6nm形成され、この割合で下地の窒化膜厚が減少し、窒化膜12の最終膜厚は5nmとなる。

【0046】本実施形態の不揮発性メモリでは、図2に示すように、上記構成のメモリトランジスタ1個でNOR型セルアレイのメモリセルが構成されている。NOR型セルアレイでは、メモリトランジスタM11~M22が行列状に配置され、これらトランジスタ間が前記図24と同様にワード線、ビット線および分離型ソース線によって配線されている。また、前記図24と同様に、セルA~C及びセルSを定義する。なお、図2では4セル分を示すが、実際のセルアレイは同様な繰り返し配置、結線によって構成されている。

【0047】本例の不揮発性メモリでは、全てのビット線およびソース線に接続され、選択メモリトランジスタM11のソース領域2、及び非選択メモリトランジスタのソース領域2及び/又はドレイン領域4に対し、それぞれ所定電圧を印加する列バイアス回路20と、全ワード線に接続され、非選択ワード線SL2に対し所定電圧を印加する行バイアス回路22とを有する。これらバイアス回路20, 22は、選択セルSからデータを読み出す場合に、特に非選択セルBのディスタブ劣化を防止しながら非選択セルAのリードディスタブを大幅に改善するためのものである。列バイアス回路20は、本発明の“選択メモリトランジスタバイアス手段(または、選択素子バイアス手段)”および“非選択列バイアス手段”に該当する。また、行バイアス回路22は、本発明の“非選択行バイアス手段”に該当する。

【0048】なお、列バイアス回路20は、メモリトランジスタのソース領域2とドレイン領域4との双方に同時に同一電圧(非選択列バイアス電圧)を付与することを前提として以下の説明を進めるが、本発明では、非選択列バイアス電圧は同一電圧に限定されない。したがって、ソース線とビット線で異なる電圧を印加することも可能である。また、ソース線とビット線的一方に電圧を印加し、他方は例えばオープンとしてもよい。

【0049】このような構成の不揮発性メモリにおいて、選択セルSからデータを読み出す際、前記列バイアス回路20によって、選択列のソース線SL1に選択ソース線バイアス電圧、例えば0.5Vが印加され、非選択列のソース線SL2とビット線BL2に非選択列バイアス電圧、例えば1Vが印加される。また、前記行バイアス回路22によって、非選択行のワード線WL2に非選択ワード線バイアス電圧、例えば0.5Vが印加される。さらに、選択ビット線BL1に読み出しドレイン電

23

圧、例えば 1.5 V を印加した後、選択ワード線 WL1 に所定電圧、例えば 1.5 V を印加する。これにより、選択セル S のメモリトランジスタ M11 では、そのソース・ドレイン間に電圧が印加され、またゲートが所定の読み出しゲート電圧に設定されているので、当該メモリトランジスタ M11 が導通可能なバイアス電圧の設定がなされる。選択セルデータが例えば“0”の場合、そのゲート閾値電圧が読み出しゲート電圧より低いので、メモリトランジスタ M11 がオンし選択ビット線 BL1 から選択ソース線 SL1 に読み出し電流が流れる。当該セルデータが例えば“1”の場合は、そのゲート閾値電圧が読み出しゲート電圧より高いので、メモリトランジスタがオフしたままで読み出し電流は流れない。

【0050】その一方、非選択セル A では、そのメモリトランジスタ M21 のゲート絶縁膜 6 に印加される電圧差が従来の 1.5 V から 0.5 V に緩和されており、その結果、非選択ソース線及び非選択ビット線へのバイアス電圧が 0 V の場合と比較してリードディスタープが大幅に改善される。この非選択列バイアス電圧 (1 V) の印加は、非選択セル B に対しても同様に行われる。したがって、非選択列バイアス電圧 (1 V) の印加自体は、メモリトランジスタ M22 のソースおよびドレインと、ゲート電極との間の電圧差を拡大する方向である。しかし、その一方で、前記行バイアス回路 22 による非選択ワード線バイアス電圧の印加によって、メモリトランジスタ M22 のゲート電位が持ち上げられており、この結果、非選択セル B のディスタープ特性の劣化が有効に防止される。また、非選択セル C においても、そのメモリトランジスタ M12 のソースとゲート電位がほぼ連動して持ち上げられるので、そのディスタープ特性の劣化が有効に防止される。

【0051】以下、本発明適用後の不揮発性メモリの諸特性を示すことによって、本発明の効果を実証する。

【0052】〔ゲート閾値電圧のソースバイアス電圧依存性〕まず、前記列バイアス回路 20 によって、選択メモリトランジスタ M11 のソースに選択ソース線バイアス電圧を印加する効果について述べる。図 3 は、選択ソース線バイアス電圧 $V_s(\text{sel})$ とゲート閾値電圧 V_{th} との関係を示すグラフである。このグラフより、ゲート閾値電圧 V_{th} は選択ソース線バイアス電圧 $V_s(\text{sel})$ に対して線形に増大していることが分かる。そして、その比例係数は 1.26 と 1 より大きいことが判明した。先の例で選択ソース線バイアス電圧 $V_s(\text{sel})$ を 0.5 V に設定した場合に、ゲート閾値電圧 V_{th} は 0.63 V と大幅に増加しているため、消去状態における深い書き込みにより低下したゲート閾値電圧 V_{th} を回復することができる。

【0053】図 4 に、選択ソース線バイアス電圧 $V_s(\text{sel})$ として 0.5 V を印加したときのリードディスタープ特性を示した。なお、この図 4 では、 V_{th} ウィンドウ

24

幅を同時に示すため、便宜上、非選択セル A のデータを読み出すときのリードディスタープ特性を示す。この図 4 を図 25 と比較すると明かなように、ゲート閾値電圧 V_{th} が全体的に上方に 0.63 V だけ線形にシフトしていることが分かる。また、この 0.63 V の線形シフト後の書き込み側のゲート閾値電圧 $V_{th}(W)$ は、読み出し電圧 1.5 V に対し十分に高くできた。よって、選択ソース線バイアス電圧 $V_s(\text{sel})$ が 0.5 V 程度でも、消去側の V_{th} がデプリーション近くまで低下する、或いは書き込み側のゲート閾値電圧 $V_{th}(W)$ が読み出しゲート電圧以下となるといった従来の問題回避のためには充分であることが判明した。なお、選択ソース線バイアス電圧 $V_s(\text{sel})$ の印加によって、書き込み側と消去側のゲート閾値電圧差 (V_{th} ウィンドウ幅) 自体に変化はなかった。

【0054】〔非選択セル A のリードディスタープ特性改善〕次に、ゲート絶縁膜 6 に印加される電圧について述べた後、前記列バイアス回路 20 によって、非選択トランジスタ M21 のソースとドレインに非選択列バイアス電圧 $V_{S/D}(\text{unsel})$ を印加する効果 (リードディスタープ特性の改善効果) について述べる。

【0055】MONOS 型不揮発性メモリの場合、平面的に離散化されたキャリアトラップで電荷保持を行なうため、リードディスタープによってゲート閾値電圧 V_{th} の減少量を検討する場合、ゲート絶縁膜 6 (ONO 膜) に印加されるチャネル垂直方向の電界の向きと大きさが重要となる。読み出し時のゲート電圧が 1.5 V の場合、図 1 のソース領域 2 とドレイン領域 4 間の電圧が充分だと、これら領域に挟まれたチャネル形成領域 1a にはチャネルが形成されている。この場合、チャネル部分にかかる電界は、ゲート印加電圧とソースおよびドレインの電圧との差で規定される。すなわち、読み出し時の選択ワード線 WL1 の印加電圧を V_g 、ソースとドレインの電位 $V_{S/D}$ とすると、実効的にゲート絶縁膜 6 にかかる電圧 V は次式により表わされる。

【0056】

$$\text{〔数 1〕 } V = V_g - V_{S/D} \quad \dots (1)$$

【0057】図 5 には、非選択セル A のリードディスタープ特性を、ゲート電圧 V_g とソースとドレインの電位 $V_{S/D}$ をパラメータとして示す。この図 5 によれば、ゲート電圧 V_g が 1.5 V でソースとドレインの電位 $V_{S/D}$ が 1 V の場合と、ゲート電圧 V_g が 0.5 V でソースとドレインの電位 $V_{S/D}$ が 0 V でのリードディスタープ特性はほぼ一致していることが分かる。つまり、上記

(1) 式のゲート絶縁膜 6 にかかる電圧 V が 0.5 V と等しければ、リードディスタープ特性がほぼ一致することが明らかとなった。また、この場合、10 年後での V_{th} ウィンドウ幅は約 2 倍に拡大されている。同様に、前記バイアス電圧設定例のごとくゲート絶縁膜 6 にかかる電圧 V が 1 V の場合でも、その電圧値が等しければリー

25

ドディスタープ特性が改善され、 V_{th} ウインドウ幅が従来より拡大することが容易に推測できる。

【0058】以上より、本実施形態において、前記列バイアス回路20により非選択列バイアス電圧 $V_{S/D}$ (unsel) を非選択セルAのソースとドレインに印加し、ゲート絶縁膜6にかかる実効的な電界を緩和することは、リードディスタープ特性の改善に効果がある明らかとなつた。この改善効果に関し、ゲート電圧0Vの従来の場合にチャンネル形成領域がその中心部まで空乏化されないことが電界の緩和と深く関与することが他の実験で明らかになっており、この改善効果は、チャンネル垂直方向の電界の向きと大きさが電荷が注入されにくい方向に変化したことの現れであると考えられる。なお、特に図示しないが、高速度読み出しを可能とすべくゲート電圧 V_g を3Vと高くした場合でも、非選択列バイアス電圧 $V_{S/D}$ (unsel) を2.5Vに設定すれば、非選択セルAのリードディスタープの改善が可能なことを確認した。

【0059】〔データ書換特性、データ書換え100万回後のリードディスタープ特性〕つぎに、メモリトランジスタのデータ書換特性を検討した。図6に、ゲート長が0.17 μm のメモリトランジスタにおいて、そのデータ書換えを100万回まで行った場合のゲート閾値電圧 V_{th} の書換回数依存性を示す。図6から、データ書換えを100万回行った後でも、ゲート閾値電圧 V_{th} は余り変化せず、 V_{th} ウインドウ幅の大きな変動、低下等はないことが分かった。

【0060】このデータ書換え後の、非選択セルA及び選択セルSのリードディスタープ特性について検討した。図7に、データ書換え100万回後のセルAのリードディスタープ特性を示す。ここでは、ドレイン読み出し電圧(選択ビット線BL1の印加電圧)、読み出しゲート電圧(選択ワード線WL1の印加電圧)を共に1.5V、非選択列バイアス電圧 $V_{S/D}$ (unsel) を1Vに設定した。なお、このときのメモリトランジスタのゲート長は0.18 μm 世代である。図7では、測定データを直線で外挿して、書き込み状態および消去状態での10年後のゲート閾値電圧 $V_{th}(W)$ 、 $V_{th}(E)$ を求め、両者の差から V_{th} ウインドウ幅を求めた。その結果、 V_{th} ウインドウ幅は、データ書換え100万回後10年経っても約0.94Vあり、耐年数10年後の実用的で望ましい V_{th} ウインドウ幅0.5V以上を満足していることが分かった。

【0061】つぎに、同一の条件で、リードディスタープを受ける可能性がある選択セルS、非選択セルB及びCのリードディスタープ特性を評価した。

【0062】〔選択セルSのディスタープ特性〕選択セルSにおいては読み出しゲート電圧1.5V、読み出しドレイン電圧1.5V、ソース電圧 V_s (0~0.5V程度)となる。この場合も、10年後の V_{th} ウインドウ幅が0.5V以上あることを確認した。また、選択ソー

26

ス線SL1に正のバイアス電圧 V_s (0.5V程度)を印加すると、通常の $V_s = 0V$ の場合と比較して、選択セルSのリードディスタープ特性が改善されることを確認した。

【0063】〔非選択セルBのリードディスタープ特性〕図8は、データ書換え100万回後の非選択セルBのリードディスタープ特性を示すグラフである。ここでは、読み出しドレイン電圧、読み出しゲート線電圧は図7の場合と同じく1.5Vとしたが、非選択列バイアス電圧 $V_{S/D}$ (unsel) をパラメータとして、その値が1V、1.4Vおよび1.9Vの場合につき示した。また、前記行バイアス回路22により非選択ワード線BL2に対し、選択ソース線バイアス電圧とほぼ等しい0.4Vの電圧印加を行った。図8に示すように、非選択列バイアス電圧 $V_{S/D}$ (unsel) を変えた何れの場合でも、リードディスタープ特性はほとんど同一であり、また10年後の V_{th} ウインドウ幅も余裕をもって0.5V以上が確保されることが分かった。また、更に非選択列バイアス電圧 $V_{S/D}$ (unsel) を2.4Vまで上げて、10年後の V_{th} ウインドウ幅が実用的な規格(0.5V)を確保できることを確かめることができた。

【0064】〔非選択セルCのリードディスタープ特性〕図9は、データ書換え100万回後の非選択セルCのリードディスタープ特性を示すグラフである。ここでは、ドレイン読み出し線電圧、読み出しゲート線電圧は図8の場合と同じく1.5Vとし、また行バイアス回路22により非選択ワード線BL2に対し、選択ソース線バイアス電圧とほぼ等しい0.4Vの電圧印加を行った。なお、非選択セルCは、選択セルSとソース線が共通なので、ソース電圧 V_s は0.5Vである。この非選択セルCにおいても、10年後の V_{th} ウインドウ幅が0.5V以上確保されることが分かった。

【0065】また、図9では非選択ワード線電圧を0.4Vとしたが、読み出し時のビット線電圧が1.5Vの場合において、 V_{th} ウインドウ幅の非選択ワード線電圧依存性を調べた。この結果、非選択ワード線電圧が0Vから0.6Vまでは10年後の V_{th} ウインドウ幅の外挿値は0.5V以上であり、10年の実用的な規格を満足していることが分かった。

【0066】以上より、選択セルデータを読み出す際に、非選択列のソース線とビット線に正の電圧を印加することにより、0.2 μm より短い短ゲート長領域での非選択セルAのリードディスタープ特性が大幅に改善され、現行の0.18 μm 世代のMONOS型の1トランジスタセル動作において、その読み出し精度および信頼性が向上することを確認できた。また、その検討結果は、例えば0.13 μm とゲート長が更に短くなった0.18 μm 以降の世代においても、非選択列バイアス電圧 $V_{S/D}$ (unsel) および非選択行ゲートバイアス電圧 V_g (unsel) を上げることが可能で、実用的なリードデ

27

イスタープ特性の確保が可能であることを示唆するものであった。

【0067】さらに、非選択セルBのリードディスタープ特性の評価では、非選択ソース線SL2と非選択ビット線BL2に対し、少なくとも2.4Vまでは印加することが可能であることが分かった。その結果として、読み出しゲート電圧を現行の1.5Vより3Vまで大きくすることが可能になり、読み出し時のドレイン電流を大きくすることができることが示された。読み出し時のドレイン電流が大きいと、それだけセンスアンプを用いた読み出し速度を高速化することが可能になる。

【0068】以上は、本実施形態におけるリードディスタープ関連の特性評価・検討結果を述べてきた。本例のソースおよびドレイン電圧の印加は、基板（素子形成領域）に対しては、そのpn接合を逆バイアスする。したがって、その接合耐圧に問題はないかを調べ、また主要デバイス特性についても確認しておく必要がある。

【0069】〔メモリトランジスタの耐圧〕図10に、ゲート電圧0Vの場合の電流-電圧特性について書き込み状態及び消去状態の両者の場合について示した。この結果、接合の降伏電圧は約10Vで、書き込み状態、消去状態に依存しないことが分かった。しかし、3V～5V付近のサブブレイクダウン領域における立ち上がり電圧は書き込み状態と消去状態と異なることが分かる。

【0070】図11に、書き込み状態における電流-電圧特性のゲート電圧依存性を示した。降伏電圧はゲート電圧依存性を示さず、サブブレイクダウン領域における立ち上がり電圧はゲート電圧依存性を示した。サブブレイクダウン領域はゲートエッジ部表面でのバンド間トンネル現象に起因していると推定されるが、電流レベルが小さいため、ここでは問題にならないと考えられる。また、約10Vの降伏電圧もリードディスタープ特性における非選択列バイアス電圧より十分に大きいことから、リードディスタープ特性のインヒビット特性に直接的に影響することはないと考えられる。以上より、0.18 μ m MONOS型メモリトランジスタにおいて、その接合耐圧はリードディスタープ特性の制限要因とはならないことが分かった。また、読み出しの際に非選択セルのパンチスルー耐圧も十分に大きなことも確認した。

【0071】〔主要デバイス特性〕図12にゲート電圧0Vにおけるメモリトランジスタの電流-電圧特性を示す。この図12は、ゲート幅が10 μ mで消去状態（ゲート閾値電圧 V_{th} ：約0.5V）におけるMONOS型メモリトランジスタについて、そのゲート電圧が0Vの場合のソースとドレイン間の電圧と電流の測定データを示したものである。この図12より、ドレイン電圧1.5Vでの非選択セルの電流値は約1nAであった。図より読み出し時に問題となる非選択セルにおけるパンチスルー電流は低く抑止されていることが分かった。

【0072】図13に、ドレイン電流のドレイン電圧依

28

存性を示した。ゲート電圧 V_g が1.5V場合のドレイン電流（読み出し電流）は310 μ A程度であった。ゲート電圧1.5V、ドレイン電圧1.5Vの場合、選択セルと非選択セルから流れる電流の比は5桁とれることが分かった。このため、非選択セルのから誤読み出しが生じることが有効に防止される。

【0073】また、図14にゲート長が0.18 μ mで、ゲート幅を0.2 μ m換算でのドレイン電流のゲート電圧依存性を示した。ゲート電圧が1.5Vで、ドレイン電圧1.5Vでのドレイン電流は約6 μ Aであった。ソース線とビット線に正のバイアス電圧を印加することにより、ゲート電圧を3Vまで高くしてもドレイン電流が余り飽和せず、その結果としてドレイン電流を14 μ Aまで増大させることが可能になった。この図14から、ゲート電圧が1.5Vのときと比較して、ドレイン電流が2.3倍になっていることが分かる。このドレイン電流の大幅な増加が可能なことは、同一センスアンプ感度でのセンスアンプの動作速度はドレイン電流の大きさに比例するため、センスアンプの動作速度を2.3倍して読み出しの高速化を図り得ることを示すものである。

【0074】なお、データの書換特性については、先の図6で示したように良好で100万回を満足しており、これはMONOS型ではキャリアトラップが平面的に離散化され、かつ深いので電荷が抜けにくいことが寄与していると考えられる。また、データ保持特性は、先に述べたようにデータ書換え100万回後であっても85℃、10年を満足する。

【0075】本実施形態では、非選択列に属するメモリトランジスタM21のソースとドレインにそれぞれ正の電圧を印加することによって、ゲート絶縁膜6、特に、電荷のやりとりがされるトンネル絶縁膜10にかかる実効的な電界を緩和することができる。その結果、消去状態にある非選択メモリトランジスタM21のゲート閾値電圧 $V_{th}(E)$ が時間とともに増大するといった、いわゆるソフトライトが有効に防止され、非選択セルAのリードディスタープ特性が改善される。また、このリードディスタープ特性が問題ない範囲で、読み出しゲート電圧（選択ワード線BL1の印加電圧）を高くすることができ、そのぶん高速読み出しが可能となる。たとえば、読み出しゲート電圧を通常の1.5Vより3Vまで増加しても、リードディスタープ特性においてインヒビット電圧のマージンが十分とれることがわかった。MONOS型不揮発性メモリでは、読みだし速度が選択ワード線電圧の1V増加で約2倍改善される。したがって、読み出し時のワード線電圧を1.5Vより3Vにすることで、読みだし速度が約2倍改善される。

【0076】一方、選択メモリトランジスタM11のソース電位を若干上げるだけで、その上げ幅を越えて当該選択メモリトランジスタM11のゲート閾値電圧 V_{th} を

29

上昇させることができる。このため、素子微細化により益々顕著となってきた短チャネル効果の一態様、即ちロールオフによって低下したゲート閾値電圧 V_{th} を、容易に回復させることができる。また、 V_{th} シフト量を大きくする観点から消去側の V_{th} を深く書き込んだために生じる消去側 V_{th} 低下の問題も回避することができる。この結果、非選択メモリセルにリーク電流が流れ、これがビット線電流の読み出し精度を低下させるといった従来の問題が回避され、2トランジスタセルから1トランジスタセルへの置き換えが容易になる。また、ゲート閾値電圧 V_{th} を上昇させることは、多値化データの有効な V_{th} 分布領域を拡大することになり、これが多値メモリの実現に寄与する。さらに、このソースバイアス電圧とほぼ同じ程度の電圧まで、非選択ワード線 BL_2 の電圧を上げることが可能となり、この結果、非選択セル B 、 C のディスタープの劣化防止、或いは改善することが可能となる。

【0077】これらの諸効果は、 $0.18\mu m$ 世代で確かめられた。また、 $0.13\mu m$ 世代でも同様な効果があることを実験的に確認することができた。さらに、この効果は $0.13\mu m$ 世代以降においても得られる可能性が高いことを実験的に示すことができた。また、トランジスタの耐圧を実験的に検討した結果、トランジスタ耐圧は非選択セルに印加するソースとドレインの電圧より大きく、読み出し時のリードインヒビット特性の制限要因にはならないことが分かった。主要デバイス特性への影響がないことも確認した。

【0078】以上より、 $0.18\mu m$ 世代のMONOS型不揮発性メモリトランジスタとして十分な特性が得られていることを確かめることができた。

【0079】最後に、本発明が好適に実施可能な微細NOR型セル構造の具体例について説明する。

【0080】〔自己整合技術と蛇行ソース線を用いた微細NOR型セル〕図15に、自己整合技術と蛇行ソース線を用いた微細NOR型セルアレイの概略平面図を示す。この微細NOR型セルアレイ70では、図示せぬpウェルの表面に縦帯状のトレンチまたはLOCOSなど素子分離領域71が等間隔でビット線方向(図15の縦方向)に配置されている。素子分離領域71にほぼ直交して、各ワード線 WL_{n-2} , WL_{n-1} , WL_n , WL_{n+1} が等間隔に配線されている。このワード線に接続されたゲート構造は、例えば図1と同様に、トンネル絶縁膜、窒化膜、トップ酸化膜及びゲート電極の積層膜から構成されている。

【0081】各素子分離領域の間隔内の能動領域において、各ワード線の離間スペースに、例えばn型不純物が高濃度に導入されてソース領域とドレイン領域とが交互に形成されている。このソース領域とドレイン領域は、その大きさがワード線方向(図15の横方向)には微細な素子分離領域(主としてトレンチ素子分離領域)71

30

の間隔のみで規定され、ビット線方向にはワード線間隔のみで規定される。したがって、ソース領域とドレイン領域の大きさと配置のばらつきに関し、マスク合わせの誤差が殆ど導入されないことから、極めて均一に形成されている。

【0082】各ワード線の周囲は、サイドウォールを形成するだけで、ソース領域とドレイン領域とに対し、ビット線接続用のコンタクト孔とソース線接続用のコンタクト孔とが2度のセルフアラインコンタクト技術を同時に転用しながら形成される。しかも、上記プロセスはフォトリソが不要となる。したがって、先に述べたようにソース領域とドレイン領域の大きさや配置が均一な上に、これに対して2次的に自己整合して形成されるビット線またはソース線接続用のコンタクト孔の大きさも極めて均一となる。また、上記コンタクト孔はソース領域とドレイン領域の面積に対し、ほぼ最大限の大きさを有している。

【0083】その上でビット線方向に配線されているソース線 SL_{n-1} , SL_n , SL_{n+1} は、ドレイン領域を避けながら素子分離領域71上とソース領域上に蛇行して配置され、上記ソース線接続用のコンタクト孔を介して、下層の各ソース領域に接続されている。ソース線の上には、第2の層間絶縁膜を介してビット線 BL_{n-1} , BL_n , BL_{n+1} が等間隔で配線されている。このビット線は、能動領域上方に位置し、ビット線接続用のコンタクト孔を介して、下層の各ドレイン領域に接続されている。

【0084】このような構成のセルパターンでは、上記したように、ソース領域とドレイン領域の形成にマスク合わせの影響を受けにくく、また、ビット線接続用のコンタクト孔とソース線接続用のコンタクト孔が、2度のセルフアライン技術を一括転用して形成されることから、コンタクト孔がセル面積縮小の制限要素とはならず、ウエハプロセス限界の最小線幅 F でソース配線等ができ、しかも、無駄な空間が殆どないことから、約 $6F^2$ と非常に小さいセル面積が実現できる。なお、このセル構造においても、先に記述した本実施形態に係る選択セル及び非選択セルの誤読み出しの禁止オペレーションが適用される。

【0085】〔ビット線及び/又はソース線が階層化されたNOR型セル〕図16に、ビット線及びソース線が階層化された分離ソース型の微細NOR型セルアレイの回路構成を示す。単位ユニットは、サブビット線 SBL とサブソース線 SSL との間に並列に挿入(接続又は結合)された複数の単位セルトランジスタ $M11 \sim M1n$ 又は $M21 \sim M2n$ と、サブ配線 SBL , SSL をメインの配線(ビット線 $BL1$, $BL2$ 又はソース線 $SL1$, $SL2$) にそれぞれ接続する2個の選択トランジスタ $S11$, $S12$ 又は $S21$, $S22$ とから構成されている。

【0086】その特徴は、第1にビット線とソース線が

31

階層化されていること、第2にサブ配線を拡散層で構成した疑似コンタクトレス構造を有すること、第3にチャネル全面書き込み、チャネル全面消去のオペレーションを採用していることである。配線の階層化に関しては、ドレイン側の選択トランジスタS11又はS21が非選択の単位ユニットをメインのビット線BL1、BL2から切り離すため、メインビット線の容量が著しく低減され、高速化、低消費電力化に有利である。また、ソース側の選択トランジスタS12又はS22の働きで、サブソース線SSLをメインソース線MSLから切り離して、低容量化10
 することができる。疑似コンタクトレス構造を採用することにより、NOR型セルの単位面積を小さくすることができる。さらに、トレンチ分離技術、自己整合作製技術（例えば、上記微細NOR型セルで用いた自己整合コンタクト形成技術）等を用いることにより、約6F²（Fは最小デザインルール）のセル面積を達成可能である。サブビット線SBLまたはサブソース線SSLは拡散層、またはサリサイドを張り付けた拡散層で形成し、メインビット線BL1、BL2はメタル配線を用いる。

【0087】チャネル全面の書き込み／消去オペレーションを用いることにより、ドレインまたはソース拡散層でのバンド間トンネル電流を抑止するための2重拡散層構造を用いる必要がないため、拡散層から蓄積電荷を引く抜くオペレーションと比較して、メモリトランジスタのソース／ドレイン拡散層のスケーリング性に優れる。その結果として、セルの微細化スケーリング性が優れ、このため、より微細なゲート長のメモリトランジスタを実現することができる。

【0088】この回路構成のセルにおいても、先に記述した本実施形態に係る選択セル及び非選択セルの誤読み出し禁止オペレーションが、ほぼ同様に適用される。なお、ビット線またはソース線を階層化した他の構造、例えばDINOR型、いわゆるHiCR型と称されソース線を隣接する2つのソース領域で共有した分離ソース型のセルアレイから構成される微細NOR型セルの場合であっても、本発明を適用することは可能である。

【0089】以上、述べてきたMONOS型メモリトランジスタのリードディスタブマージンの拡大によって、メモリセルのトランジスタ数を単一とした1トランジスタセルの実現が容易化される。この実現のためには、ディスタブマージン拡大のほか、メモリトランジスタのゲート閾値電圧がデプリーションにならないエンハンス型メモリセルとする必要がある。本不揮発性半導体メモリ装置では、トンネル絶縁膜を比較的厚くすることで、消去時に、エンハンスメントで飽和するメモリ特性が得られ、1メモリトランジスタセルには好適である。また、本読み出し方法では、例えばデプリーション領域のゲート閾値電圧であっても、ソースをバイアスした状態にして読みだすことから、実質的にエンハンスメン50

32

ト領域でのデータ読み出しが可能であり、この意味で、1トランジスタ化が更に達成しやすい。

【0090】さらに、トンネル絶縁膜が比較的厚くできるために、ホールの注入が抑制され、このためホールによるトンネル絶縁膜の劣化が防止され、書き込み／消去の繰り返し特性（エンデュランス特性）の向上が期待できる。1トランジスタセルでは、選択トランジスタをメモリセルごとに配置する必要がなく、セル面積縮小、ひいてはチップ面積縮小によるコスト低減、大容量化が図れる。この結果、FG型不揮発性メモリのNOR型、AND型、NAND型あるいはDINOR型等と同等のセル面積の大容量MONOS型不揮発性メモリを低コストで実現することが可能となる。

【0091】第2実施形態

本実施形態では、MONOS型不揮発性メモリ装置の変形例について示す。図17は、このMONOS型メモリトランジスタの素子構造を示す断面図である。本実施形態のMONOS型不揮発性メモリが、先の第1実施形態と異なるのは、本実施形態のゲート絶縁膜30が、窒化膜12に代えて酸化窒化膜32（ SiO_xNy ， $0 < x < 1$ ， $0 < y < 1$ ）を具備することである。その他の構成、即ち半導体基板1、ソース領域2、ドレイン領域4、チャネル形成領域1a、トンネル絶縁膜10、トップ酸化膜14およびゲート電極8は、第1実施形態と同様である。酸化窒化膜32は、例えば5.0nmの膜厚を有する。また、本例におけるトンネル絶縁膜10は、第1実施形態よりやや薄く、使用用途に応じて2.0nmから3.0nmまでの範囲内で適宜選択できる。ここでは、2.5nm程度の膜厚とした。このことは、第1実施形態でトンネル絶縁膜10に SiO_2 膜を用いた場合も同様である。

【0092】このような構成のメモリトランジスタの製造では、トンネル絶縁膜10の成膜後、例えば減圧CVD法で酸化窒化膜32を最終膜厚が5.0nmとなるように、これより厚めに堆積する。このCVDは、例えば、ジクロロシラン（DCS）、アンモニアおよび N_2O を混合した導入ガスを用い、基板温度650℃で行う。この熱酸化膜上の SiO_xNy 膜形成では、必要に応じて、予め下地面の前処理（ウェーハ前処理）及び成膜条件を最適化するとよいことは第1実施形態と同様である。その後は、第1実施形態と同様に、トップ酸化膜14およびゲート電極材の成膜、電極加工等を経て、当該MONOS型メモリトランジスタを完成させる。なお、本実施形態では、電荷蓄積手段を形成する酸化窒化膜32の形成において、窒化シリコン膜に酸素ドーブして SiO_xNy 膜としてもよい。

【0093】図2に示す回路構成は本実施形態においてもそのまま適用され、第1実施形態と同様な読み出し動作の際、非選択セルAのソースとドレインに非選択列バイアス電圧の印加と、又は／及び、選択セルSにソース

33

線バイアス電圧の印加とを行い、必要に応じて、非選択ワード線への電圧印加を行う。

【0094】この作製したメモリトランジスタのデータ書換特性を、図6の場合と同様にして検討した。この結果、データ書換えを100万回行った後でも十分な V_{th} ウィンドウ幅が得られた。また、データ書換え後の非選択セルA～C及び選択セルのリードディスタープ特性について検討した。この検討は、図7～図9と同様に行い、同様な結果、即ち選択セル及び何れの非選択セルでも消去状態での10年後のゲート閾値電圧 V_{th} のウィンドウ幅0.5V以上を達成できた。また、選択セルSの10年間読み出しが可能であることが分かった。この結果、0.18 μm 以降の世代においても本発明の有効性を示唆した。

【0095】耐圧についても先の図10、図11と同様に検討した結果、良好であった。また主要デバイス特性、即ち電流電圧特性はカットオフ領域(図12)とゲート電圧依存性(図13、図14)について評価し、またエンデュランス特性およびデータ保持特性を第1実施形態と同様に評価した結果、何れも第1実施形態と同様な満足な結果が得られた。

【0096】なお、本実施形態においても、先の第1実施形態と同様に、自己整合技術と蛇行ソース線を用いた微細NOR型セルまたはビット線及び/又はソース線が階層化されたNOR型セルを用いて、チップ面積が小さい(例えば、約6F²(F;最小デザイン幅)の)微細NOR型セルを実現可能である。

【0097】本実施形態においても、先の第1実施形態と同様な効果が得られる。すなわち、非選択セルAについては、そのトンネル絶縁膜10にかかる電界が緩和される結果、消去状態にある非選択メモリトランジスタM21のソフトライトが有効に防止され、非選択セルAのリードディスタープ特性が改善される。また、読み出しゲート電圧高くできる分、高速読み出しが可能となる。一方、選択セルSについては、消去状態での深い書き込みまたはロールオフによって低下したゲート閾値電圧 V_{th} を向上させ、この結果として従来の問題が回避できる。また、選択ソース線にバイアス電圧を印加することによって、選択メモリトランジスタのONO膜にかかる電界を減少させ、選択セルSのリードディスタープ特性を改善することが可能になる。さらに、非選択ワード線BL2の電圧を上げることが可能となり、この結果、非選択セルB、Cのディスタープ特性の改善が可能となる。これらの諸効果は0.18 μm 世代以降においても有効で、トランジスタ耐圧や主要デバイス特性への影響がない。このようなリードディスタープマージンの拡大によって、第1実施形態と同様な様々な意味においてMONOS NOR型1トランジスタセルの実現が容易化される。さらに、エンデュランス特性の向上、コスト低減および大容量化等を図ることが可能となる。

34

【0098】第3実施形態

本実施形態は、メモリトランジスタの電荷蓄積手段としてゲート絶縁膜中に埋め込まれた多数のSiナノ結晶を用いた不揮発性半導体記憶装置(以下、Siナノ結晶型という)について示す。このSiナノ結晶は、粒径が10ナノメートル以下であることが好適である。図18は、このSiナノ結晶型メモリトランジスタの素子構造を示す断面図である。本実施形態のSiナノ結晶型不揮発性メモリが、先の第1実施形態と異なるのは、本実施形態のゲート絶縁膜40が、窒化膜12とトップ酸化膜14に代えて、トンネル絶縁膜10上の電荷蓄積手段としてのSiナノ結晶42と、その上の酸化膜44とがゲート電極8との間に形成されていることである。その他の構成、即ち半導体基板1、ソース領域2、ドレイン領域4、チャネル形成領域1a、トンネル絶縁膜10、ゲート電極8は、第1実施形態と同様である。

【0099】Siナノ結晶42は、そのサイズ(直径)が例えば4.0nm程度であり、個々のSiナノ結晶同士が酸化膜44で空間的に、例えば4nm程度の間隔で分離している。本例におけるトンネル絶縁膜10は、電荷蓄積手段(Siナノ結晶42)が基板側に近いこととの関係で、第1実施形態よりやや厚く、使用用途に応じて2.6nmから4.0nmまでの範囲内で適宜選択できる。ここでは、3.2nm程度の膜厚とした。

【0100】このような構成のメモリトランジスタの製造では、トンネル絶縁膜10の成膜後、例えば減圧CVD法でトンネル酸化膜10の上に、複数のSiナノ結晶42を形成する。また、Siナノ結晶42を埋め込むかたちで、酸化膜44を、例えば7nmほど減圧CVDにより成膜する。この減圧CVDでは、原料ガスがDCSとN₂Oの混合ガス、基板温度が例えば700℃とする。この時Siナノ結晶42は酸化膜44に埋め込まれ、酸化膜44表面が平坦化される。平坦化が不十分な場合は、新たに平坦化プロセス(例えばCMP等)を行うとよい。その後は、ゲート電極材の成膜、電極加工等を経て、当該Siナノ結晶型メモリトランジスタを完成させる。このように形成されたSiナノ結晶42は、平面方向に離散化されたキャリアトラップとして機能する。そのトラップレベルは、周囲の酸化シリコンとのバンド不連続値で推定可能で、その推定値では約3.1eV程度とされる。この大きさの個々のSiナノ結晶42は、数個の注入電子を保持できる。

【0101】図2に示す回路構成は本実施形態においてもそのまま適用され、第1実施形態と同様な読み出し動作の際、非選択セルAのソースとドレインに非選択列バイアス電圧の印加と、又は/及び、選択セルSにソース線バイアス電圧の印加とを行い、必要に応じて、非選択ワード線への電圧印加を行う。

【0102】このような構成のSiナノ結晶型不揮発性メモリについて、まず、ランドキストのバックトンネリ

ングモデルによりデータ保持特性を検討した。データ保持特性を向上させるためには、トラップレベルを深くして、電荷重心と基板1との距離を大きくすることが重要となる。そこで、ランドキストモデルを物理モデルに用いたシミュレーションにより、トラップレベル3.1 eVの場合のデータ保持を検討した。この結果、トラップレベル3.1 eVの深いキャリアトラップを用いることにより、電荷保持媒体からチャネル形成領域1aまでの距離が3.2 nmと比較的に近い場合でも良好なデータ保持を示すことが分かった。

【0103】次いで、もう一つの重要な特性である書き込み消去における低電圧プログラミングについて検討した。本例における書き込み時間は、プログラム電圧が5 Vの低プログラム電圧で1 msec以下であり、Siナノ結晶型の高速書き込み性が実証できた。

【0104】この作製したメモリトランジスタのデータ書換特性を、図6の場合と同様に検討した。この結果、データ書換えを100万回行った後でも十分なV_{th}ウィンドウ幅が得られた。また、データ書換え後の非選択セルA～Cのリードディスタープ特性について検討した。この検討は、図7～図9と同様に行い、選択セル及び何れの非選択セルでも消去状態での10年後のゲート閾値電圧V_{th}のウィンドウ幅0.5 V以上を達成でき、選択セルの10年間読み出しが可能であることが分かった。この結果は、0.18 μm以降の世代においても本発明の有効性を示した。

【0105】耐圧についても先の図10、図11と同様に検討した結果、良好であった。また主要デバイス特性、即ち電流電圧特性はカットオフ領域(図12)とゲート電圧依存性(図13、図14)について評価し、またエンデュランス特性およびデータ保持特性を第1実施形態と同様に評価した結果、何れも第1実施形態と同様な満足な結果が得られた。

【0106】なお、本実施形態においても、先の第1実施形態と同様に、自己整合技術と蛇行ソース線を用いた微細NOR型セルまたはビット線及び／又はソース線が階層化されたNOR型セルを用いて、チップ面積が小さい(例えば、約6 F² (F; 最小デザイン幅)の)微細NOR型セルを実現可能である。

【0107】本実施形態においても、先の第1実施形態と同様な効果が得られる。すなわち、非選択セルAについては、そのトンネル絶縁膜10にかかる電界が緩和される結果、消去状態にある非選択メモリトランジスタM21のソフトライトが有効に防止され、非選択セルAのリードディスタープ特性が改善される。また、読み出しゲート電圧高くできる分、高速読み出しが可能となる。一方、選択セルSについては、消去状態でのゲート閾値電圧V_{th}の深い書き込みまたはロールオフによって低下したV_{th}を向上させ、この結果として従来の問題が回避できる。また、選択ソース線にバイアス電圧を印加する

ことによって、選択メモリトランジスタのトンネル絶縁膜にかかる電界を減少させ、選択セルSのリードディスタープ特性を改善することが可能になる。さらに、非選択ワード線BL2の電圧を上げることが可能となり、この結果、非選択セルB、Cのディスタープ改善が可能となる。これらの諸効果は0.18 μm世代以降においても有効で、トランジスタ耐圧や主要デバイス特性への影響がない。このようなリードディスタープマージンの拡大によって、第1実施形態と同様な様々な意味において1トランジスタセルの実現が容易化される。さらに、エンデュランス特性の向上、コスト低減および大容量化等を図ることが可能となる。

【0108】第4実施形態

本実施形態は、第1実施形態とほぼ同様なゲート電極構造のメモリトランジスタを、SOI基板に形成した場合である。図19は、このSOI絶縁分離構造のMONOS型メモリトランジスタの素子構造を示す断面図である。本実施形態のSOI絶縁分離構造のMONOS型不揮発性メモリが、先の第1実施形態と異なるのは、メモリトランジスタがSOI基板に形成されていることである。その他の構成、即ちソース領域2、ドレイン領域4、トンネル絶縁膜10、窒化膜12、トップ酸化膜14およびゲート電極8は、第1実施形態と同様である。

【0109】SOI基板としては、酸素イオンをシリコン基板に高濃度にイオン注入し基板表面より深い箇所に埋込酸化膜を形成したSIMOX (Separation by Implanted Oxygen) 基板や、一方のシリコン基板表面に酸化膜を形成し他の基板と張り合わせた張合せ基板などが用いられる。このような方法によって形成され図19に示したSOI基板は、半導体基板56、分離酸化膜58およびシリコン層60(素子分離形成領域)とから構成され、シリコン層60内に、チャネル形成領域60a、ソース領域2およびドレイン領域4が設けられている。

【0110】このような構成のメモリトランジスタの製造では、SOI基板上にトンネル絶縁膜10を成膜する以外の工程は、既に第1実施形態で述べたので、ここでは省略する。

【0111】図2に示す回路構成は本実施形態においてもそのまま適用され、第1実施形態と同様な読み出し動作の際、非選択セルAのソースとドレインに非選択列バイアス電圧の印加と、又は／及び、選択セルSにソース線バイアス電圧の印加とを行い、必要に応じて、非選択ワード線への電圧印加を行う。

【0112】この作製したメモリトランジスタについて、そのSOI基板を用いた効果、即ち高速性、低消費電力については、素子を試作して特性を評価した結果、良好な特性が得られることを確認した。データ書換速度に関しては、書き込み時間は0.2 msを満足、消去はブロック一括で消去で50 msを満足した。

【0113】また、データ書換特性を、図6の場合と同

37

様にして検討した。この結果、データ書換えを100万回行った後でも十分な V_{th} ウィンドウ幅が得られた。また、データ書換え後の非選択セルA~Cのリードディスタープ特性について検討した。この検討は、図7~図9と同様に行い、選択セル及び何れの非選択セルでも消去状態での10年後のゲート閾値電圧 V_{th} のウィンドウ幅0.5V以上を達成でき、選択セルSの10年間連続読み出し可能であることが分かった。また、この結果、0.18 μm 以降の世代においても本発明の有効性を示した。

【0114】耐圧についても先の図10、図11と同様に検討した結果、良好であった。また主要デバイス特性、即ち電流電圧特性はカットオフ領域(図12)とゲート電圧依存性(図13、図14)について評価し、またエンデュランス特性およびデータ保持特性を第1実施形態と同様に評価した結果、何れも第1実施形態と同様な満足な結果が得られた。

【0115】なお、本実施形態においても、先の第1実施形態と同様に、自己整合技術と蛇行ソース線を用いた微細NOR型セルまたはビット線及び/又はソース線が階層化されたNOR型セルを用いて、チップ面積が小さい(例えば、約6F²(F:最小デザイン幅)の)微細NOR型セルを実現可能である。

【0116】本実施形態においても、先の第1実施形態と同様な効果が得られる。すなわち、非選択セルAについては、そのトンネル絶縁膜10にかかる電界が緩和される結果、消去状態にある非選択メモリトランジスタM21のソフトライトが有効に防止され、非選択セルAのリードディスタープ特性が改善される。また、読み出しゲート電圧高くできる分、高速読み出しが可能となる。一方、選択セルSについては、消去状態でのゲート閾値電圧 V_{th} の深い書き込みまたはロールオフによって低下した V_{th} を向上させ、この結果として従来の問題が回避できる。また、選択ソース線にバイアス電圧を印加することによって、選択メモリトランジスタのトンネル絶縁膜にかかる電界を減少させ、選択セルSのリードディスタープ特性を改善することが可能になる。さらに、非選択ワード線BL2の電圧を上げることが可能となり、この結果、非選択セルB、Cのディスタープ改善が可能となる。これらの諸効果は0.18 μm 世代以降においても有効で、トランジスタ耐圧や主要デバイス特性への影響がない。このようなリードディスタープマージンの拡大によって、第1実施形態と同様な様々な意味において1トランジスタセルの実現が容易化される。さらに、エンデュランス特性の向上、コスト低減および大容量化等を図ることが可能となる。

【0117】第5実施形態

本実施形態では、選択セルSのリードディスタープ特性を更に改善することを目的として、消去状態のしきい電圧との関係を含むソース及びドレインバイアス電圧の条

38

件を最適化したメモリトランジスタの読み出し方法に関する。本実施形態は、並列に書き込んだセルの情報を並列に読み出す、いわゆるページ読み出しにおけるリードディスタープ抑止技術に関する。この場合、図2における非選択セルA(選択ワード線に接続されたセル)は並列で読み出すページ読み出しのために、すべて選択セルSと同じ取り扱いとなる。

【0118】メモリトランジスタの素子構造は、第1実施形態と同様である。

【0119】この読み出し方法では、好適には、ソースバイアス電圧 V_s と読み出しゲート電圧 V_g を相互に或いは消去状態のしきい電圧との関係で以下の要件を満たすように決定する。

(1) ソースバイアス電圧 V_s は、読み出しゲート電圧 V_g より小さい。

(2) ゲート読み出し電圧 V_g は、読み出しドレイン電圧と同一か大きい。

(3) 消去状態のしきい電圧 $V_{th}(E)$ は、0V以上(0V又は正)の値をとる。

【0120】たとえば、消去状態のしきい電圧 $V_{th}(E)$ は、0.5V~1.0Vに設定する場合、ソースバイアス電圧 V_s は1V以下となる。この場合の読み出しゲート電圧 V_g は、1.5V程度となり、明らかにソースバイアス電圧 V_s より大きくなる。読み出しドレイン電圧は、ゲート長のスケージングとともに次第に低下傾向にある。その一方で、読み出しゲート電圧 V_g は、消去状態のしきい電圧 $V_{th}(E)$ に対して十分大きくとる必要がある。その結果として、読み出しゲート電圧 V_g が読み出しドレイン電圧と比較して同一か大きくなる。

【0121】トンネル絶縁膜10(図1参照)は、その第1実施形態における好ましい膜厚範囲を2.0nm~3.6nmとしたが、ここでは2.3nm以上と多少厚膜化する。トンネル絶縁膜10を厚膜化すると、電荷がトンネル絶縁膜10内をトンネリングする確率を減少させることができ、その結果として、リードディスタープを更に抑制することができるからである。

【0122】図20に、ゲート長が0.18 μm のMONOS型メモリにおける1万回または10万回データ書き換え後の選択セルSのリードディスタープ特性を示す。この図20から、実験値をもとに直線外挿することにより求めた10年後のしきい電圧のウィンドウ幅は、センスアンプの検出限界である0.5V以上あることが分かった。また、10年後においても書き込み状態のしきい電圧 $V_{th}(W)$ が読み出しゲート電圧である1.5Vより高いことが分かった。以上より、データを10万回書き換えしても10年間はデータ読み出しが可能であることが分かった。また、データ100万回後の場合であっても10年間データの読み出しが可能であることが分かった。

【0123】図21に、ゲート長が0.13 μm のMO

39

NOS型メモリにおける1万回データ書き換え後の選択セルSのリードディスタブ特性を示す。この結果はデータ書き換えが1万回のものについてであるが、ウィンドウ幅、及び、書き込み状態のしきい電圧 $V_{th}(W)$ の読み出しゲート電圧に対するマージンは図20と比較して十分大きい。この結果は、ゲート長が $0.13\mu m$ でもデータ書き換え100万回後に必要なリードディスタブ特性を保証できることを示唆するものであった。

【0124】図22に、ゲート長が $0.18\mu m$ のMONOS型メモリにおける非選択セルCをカットオフ状態としたときのドレイン電流（リーク電流）のソースバイアス電圧依存性を示す。図22において、横軸はドレイン電圧、縦軸は単位ゲート幅当たりのリーク電流を示す。この電圧-電流特性の測定は、パラメータとしてソースバイアス電圧 V_s を $0V$ 、 $0.15V$ 、 $3V$ と変えて行った。この図22から、リーク電流はソースバイアス電圧 V_s が大きくなるにつれて減少していることが分かる。また、ソースバイアスをしない（ $V_s=0V$ ）消去状態のしきい電圧 $V_{th}(E)$ と、ソースバイアスを行った（ $V_s=0.3V$ ）後のしきい電圧 V_{th} とが同じ $0.5V$ であれば、リーク電流は殆ど変わらないことが分かる。

【0125】図23に、ゲート長が $0.18\mu m$ のMONOS型メモリにおける選択セルSからの読み出し電流（ゲート印加電圧 $V_g=1.5V$ のときのドレイン電流）と、非選択セルCからのリーク電流（ゲート印加電圧 $V_g=0V$ のときのドレイン電流）とを示す。この図23から、ドレイン読み出し電圧が $1.5V$ のときの読み出し電流はリーク電流より5桁高いことが分かる。1ストリングが100セルから構成されており、その殆どを占める非選択セルCのリーク電流が加算されたとしても、加算されたリーク電流に対して読み出し電流は3桁程高くできる。以上の結果、ゲート長が $0.18\mu m$ のMONOS型メモリにおけるソースバイアス読み出しにおいては、ソースバイアスが非選択セルCのリーク電流の低減に有効であり、リーク電流に対する読み出し電流の比が実用上十分にとれ、安定した読み出し動作が可能であることを確認できた。また、上記説明では消去状態でのしきい電圧を $0V$ 以上としてきたが、消去状態でのしきい電圧が負の場合であっても、本発明が適用可能であることは言うまでもない。以上より、本技術を用いることにより、MONOS-NOR型1トランジスタセルにおいて、ページ読み出しが可能であることが分かった。

【0126】また、このソースバイアス読み出し技術が、ゲート長が $0.13\mu m$ のMONOS型1トランジスタメモリセルの読み出しに有効であることも確認した。

【0127】このソースバイアス読み出し技術は、第2～第4実施形態に示す不揮発性半導体メモリトランジスタ

40

タに対しても有効に適用できる。

【0128】なお、以上の第1～第5実施形態ではゲート絶縁膜内の電荷蓄積手段が平面的に離散化された不揮発性半導体メモリについて説明したが、電荷蓄積手段が離散化されていないフローティングゲート型（FG型）の不揮発性半導体メモリ、特にSOI基板を用いたゲート長 $0.1\mu m$ 以降のFG型不揮発性メモリ、または単一電子型不揮発性メモリであっても、本発明が適用可能なことは言うまでもない。また、近年FG型を用いて、1セルに2ビット以上の情報を記憶する多値メモリの研究開発が行われているが、多値メモリの場合、1ビットあたりの V_{th} ウィンドウ幅が小さくなり、リードディスタブ特性、データ保持特性などはFG型2値メモリと比較して、格段に厳しくなる。このため、特に、本発明がFG型の多値メモリのリードディスタブ特性の改善に有効であることは自明である。

【0129】

【発明の効果】本発明の不揮発性半導体記憶装置及びその読み出し方法では、非選択列メモリトランジスタのソース及び／又はドレインにそれぞれ電圧を印加することによって、ゲート絶縁膜内の印加電界強度を実質的に緩和でき、その結果、消去状態にある非選択列メモリトランジスタのソフトライトが有効に防止され、当該トランジスタのリードディスタブ特性が改善される。また、このリードディスタブ特性が問題ない範囲で、選択ワード線印加電圧を高くできるためセル電流を増大させることができ、そのぶん高速読み出しが可能となる。一方、選択メモリトランジスタのソース電位を若干上げるだけで、その上げ幅を越えて当該選択メモリトランジスタのゲート閾値電圧を上昇させることができる。このため、選択ビット線に接続された非選択セルからのリーク電流を低減することができ、微細ゲートであっても確実に、信頼性が高い読み出し動作が可能となる。また、ソース電位を上げることによって、選択メモリトランジスタのゲート絶縁膜にかかる電界を減少させるため、選択セルのリードディスタブ特性を改善することができる。また、トンネル絶縁膜を比較的厚膜化することによっても選択セルのリードディスタブ特性を改善することができる。さらに、このソースバイアス電圧とほぼ同じ程度かそれ以下の電圧まで、非選択ワード線電圧を上げることが可能となり、この結果、非選択行メモリトランジスタのディスタブの劣化防止或いは改善することが可能となる。以上より、本技術によりMONOS1トランジスタセルにおいて、1ビット読み出しまたはページ読み出しが可能になるため、2トランジスタセルから1トランジスタセルへの置き換えが容易化される。

【0130】上記非選択列メモリトランジスタのリードディスタブ特性の改善は、一方で選択ワード線電圧をある程度高くできることを意味する。この場合、トンネル絶縁膜厚を比較的に厚くでき、これによりデータ保持

41

特性の向上が望めるほか、本発明でソースをバイアスによって実質的にエンハンスメント領域でのデータ読み出しが可能であることと相まって、1トランジスタセル化に貢献する。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るMONOS型メモリトランジスタの素子構造を示す断面図である。

【図2】本発明の第1～第4実施形態に共通な不揮発性メモリ装置の要部構成を示す回路図である。

【図3】ソースバイアス電圧とゲート閾値電圧との関係を示すグラフである。

【図4】ソースバイアス電圧として0.5Vを印加したときのリードディスタープ特性図である。

【図5】図2の非選択セルAのリードディスタープ特性を、ゲート電圧とソース及びドレイン電圧とをパラメータとして示すグラフである。

【図6】ゲート長が0.17 μm のメモリトランジスタにおいて、そのデータ書換えを100万回まで行った場合のゲート閾値電圧の書換回数依存性を示すグラフである。

【図7】データ書換え100万回後の非選択セルAのリードディスタープ特性を示すグラフである。

【図8】データ書換え100万回後の非選択セルBのリードディスタープ特性を示すグラフである。

【図9】データ書換え100万回後の非選択セルCのリードディスタープ特性を示す図である。

【図10】ゲート電圧が0Vの場合の電流-電圧特性について書き込み状態及び消去状態の両者の場合について示す図である。

【図11】書き込み状態における電流-電圧特性のゲート電圧依存性を示す図である。

【図12】カットオフ領域における電流-電圧特性を示す図である。

【図13】ドレイン電流のドレイン電圧依存性を示す図である。

【図14】ゲート長が0.18 μm で、ゲート幅が0.2 μm 換算でのドレイン電流のゲート電圧依存性を示す図である。

【図15】本発明が適用可能なセル構造例として、自己整合技術と蛇行ソース線を用いた微細NOR型セルを示す概略平面図である。

【図16】本発明が適用可能なセル方式例として、ビット線及びソース線が階層化された微細NOR型セルアレイを示す回路図である。

【図17】本発明の第2実施形態に係るMONOS型メモリトランジスタの素子構造を示す断面図である。

42

【図18】本発明の第3実施形態に係るSiナノ結晶型メモリトランジスタの素子構造を示す断面図である。

【図19】本発明の第4実施形態に係るSOI絶縁分離構造のMONOS型メモリトランジスタの素子構造を示す断面図である。

【図20】本発明の第5実施形態に係るゲート長が0.18 μm のMONOS型メモリセルにおいて、1万回または10万回データ書き換え後の選択セルSのリードディスタープ特性を示すグラフである。

【図21】本発明の第5実施形態に係るゲート長が0.13 μm のMONOS型メモリセルにおいて、1万回データ書き換え後の選択セルSのリードディスタープ特性を示すグラフである。

【図22】本発明の第5実施形態に係るゲート長が0.18 μm のMONOS型メモリセルにおいて、非選択セルCをカットオフ状態としたとき（ゲート印加電圧 $V_g = 0\text{V}$ ）のドレイン電流（リーク電流）のソースバイアス電圧依存性を示すグラフである。

【図23】本発明の第5実施形態に係るゲート長が0.18 μm のMONOS型メモリセルにおいて、選択セルSからの読み出し電流（ゲート印加電圧 $V_g = 1.5\text{V}$ のときのドレイン電流）と、非選択セルCからのリーク電流（ゲート印加電圧 $V_g = 0\text{V}$ のときのドレイン電流）とを示すグラフである。

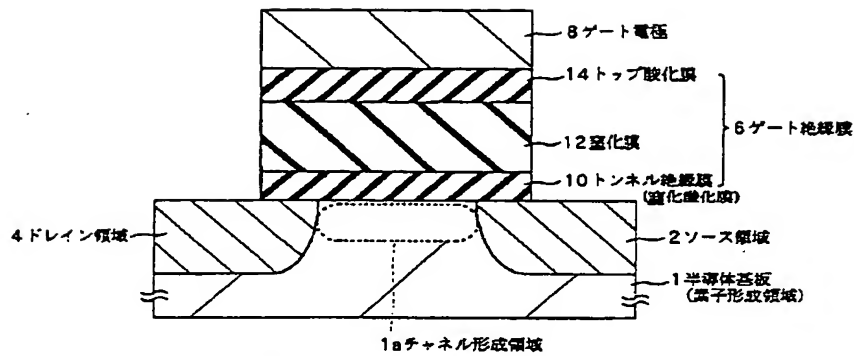
【図24】本発明前の検討の際におけるソース分離NOR型のセル配列を示す回路図である。

【図25】本発明前の検討において明らかとなった問題点に関し、非選択セルAにおけるメモリトランジスタについて、データ書換えを100万回行った後のリードディスタープ特性を示す図である。

【符号の説明】

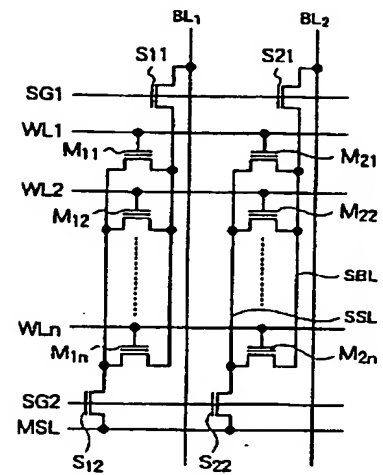
1…半導体基板（素子形成領域）、1a…チャネル形成領域、2…ソース領域、4…ドレイン領域、6, 30, 40, 50…ゲート絶縁膜、8…ゲート電極、10…トンネル絶縁膜、12…窒化膜、14…トップ酸化膜、20…列バイアス回路（選択メモリトランジスタバイアス手段、選択素子バイアス手段、非選択列バイアス手段）、22…行バイアス回路（非選択行バイアス手段）、32…酸化窒化膜、42…Siナノ結晶、44, 54…酸化膜、56…半導体基板、58…分離酸化膜、60…シリコン層（素子形成領域）、M11～M22…メモリトランジスタ、A～C…非選択セル、S…選択セル、BL1等…ビット線、SL1等…ソース線、WL1等…ワード線、 V_g …ゲート電圧、 V_{th} …ゲート閾値電圧（しきい電圧）。

【図 1】

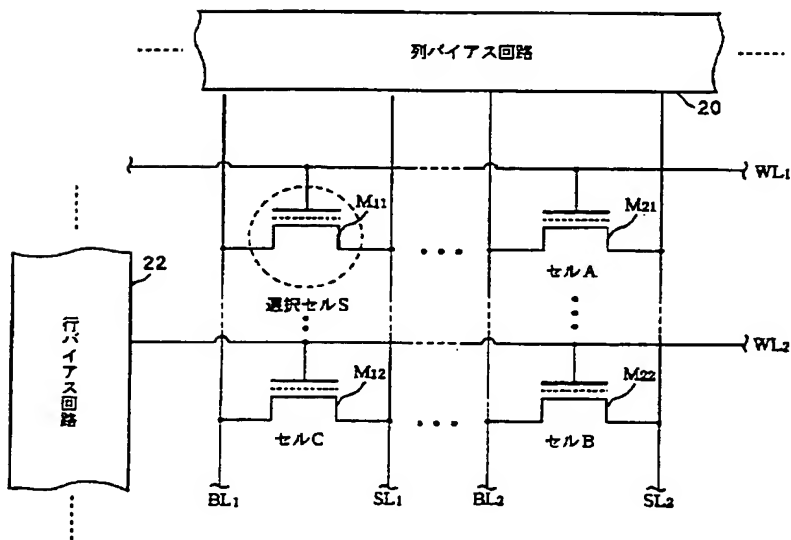


第 1 実施形態に係る不揮発性メモリトランジスタ

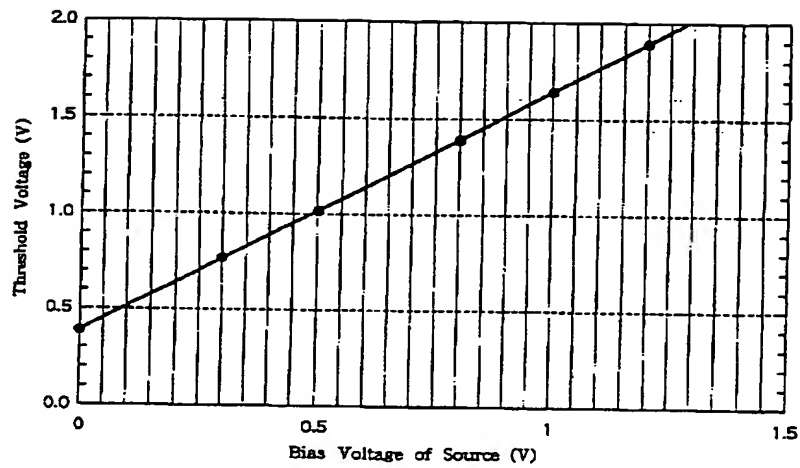
【図 16】



【図 2】

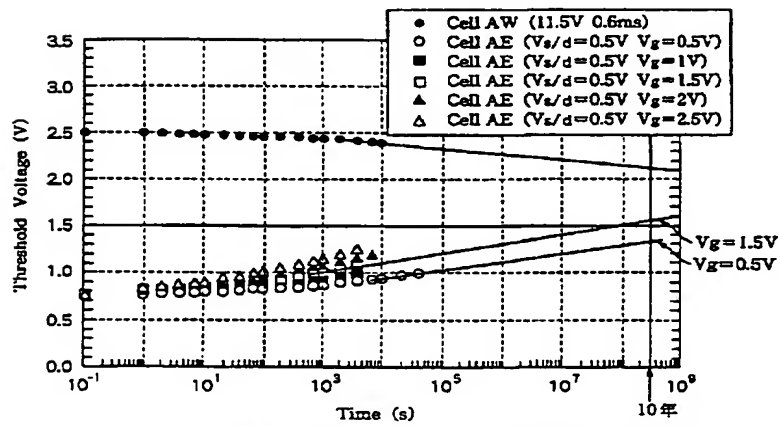


【図3】

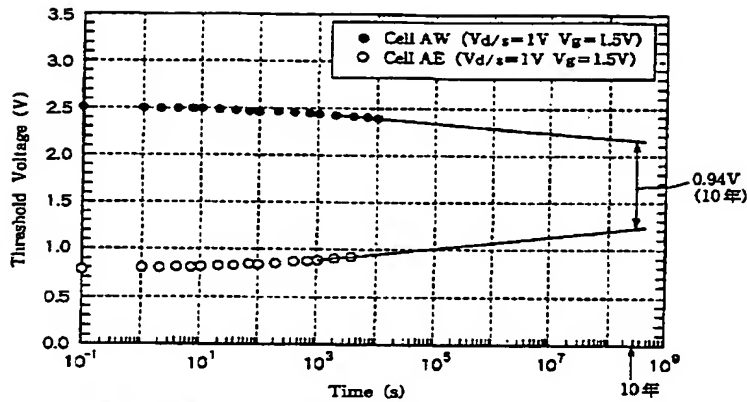


ゲート閾値電圧のソースバイアス電圧依存性

【図4】

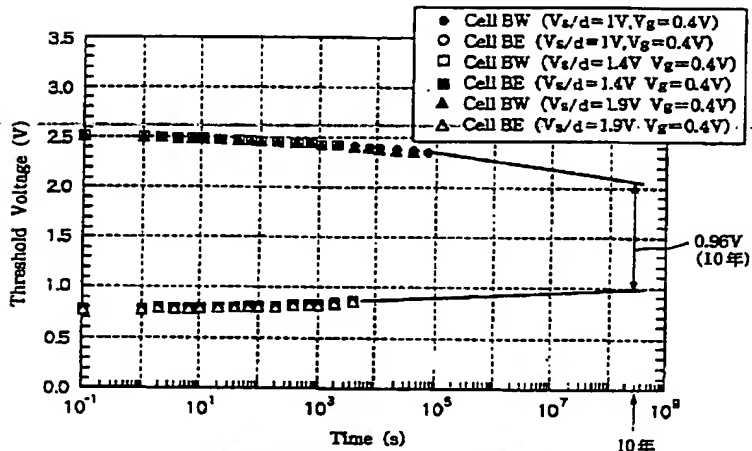
ソースバイアス電圧印加によるリードディスタース特性の改善
(V_{th} 上方シフト)

【図7】

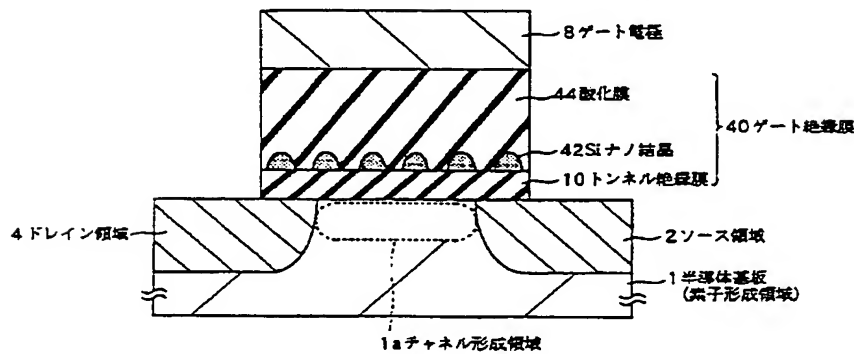


データ書き換え100万回後の非選択セルAのリードディスタープ特性

【図8】

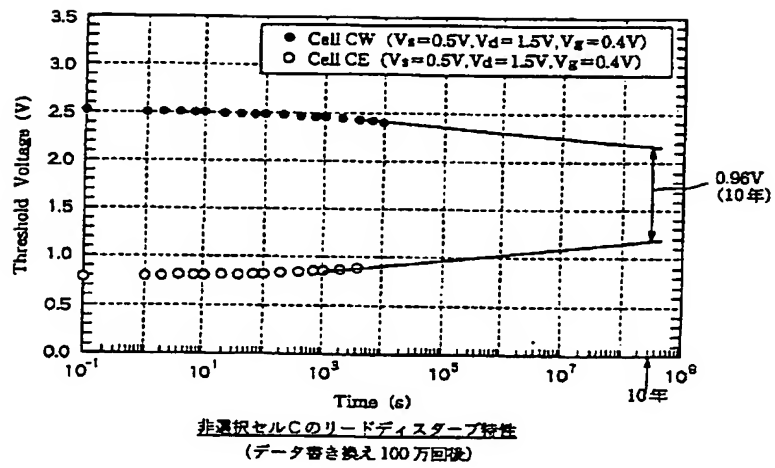
非選択セルBのリードディスタープ特性
(データ書き換え100万回後)

【図18】

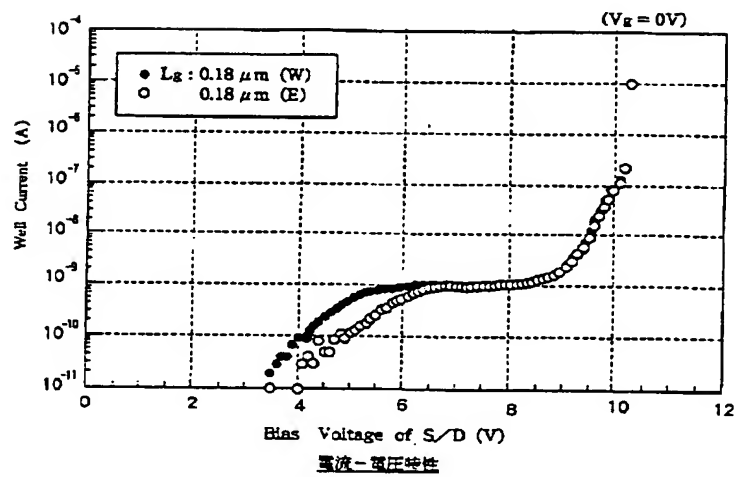


第3実施形態に係る不揮発性メモリトランジスタ

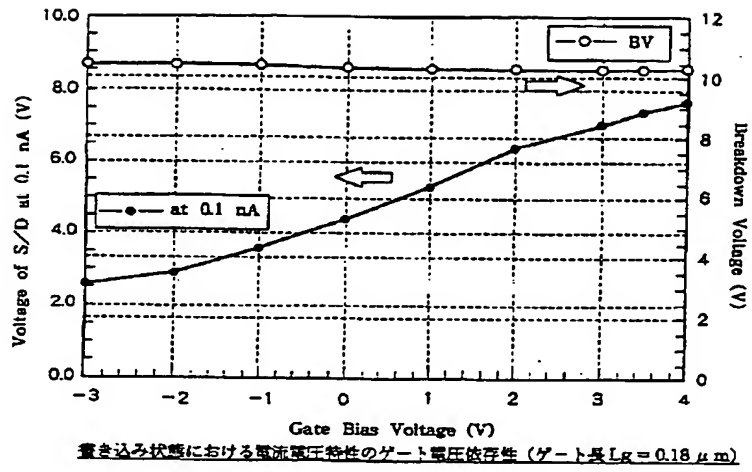
【図 9】



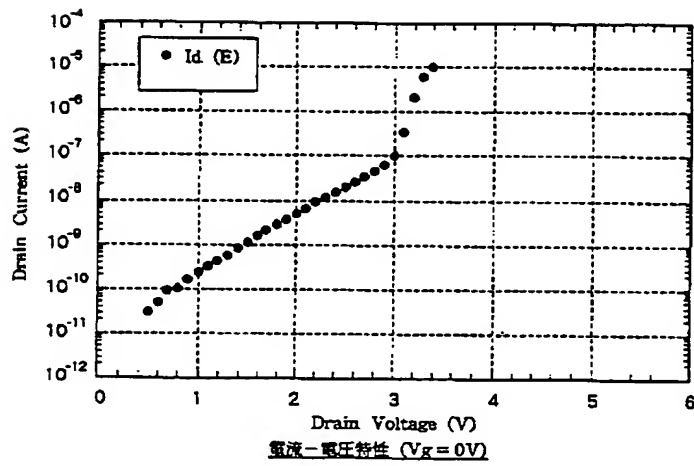
【図 10】



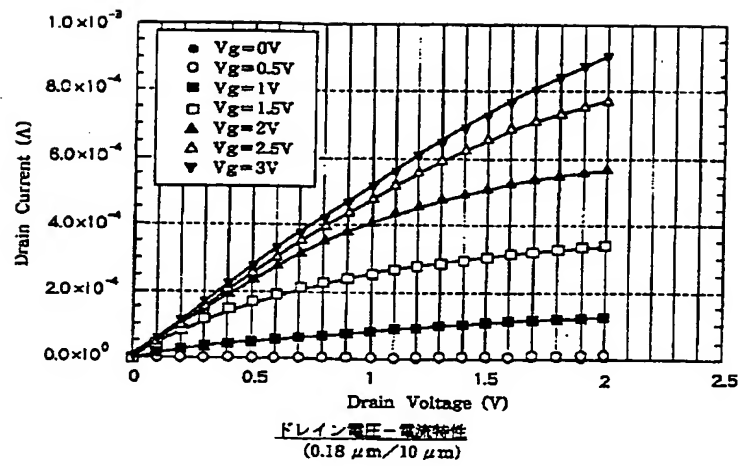
【図11】



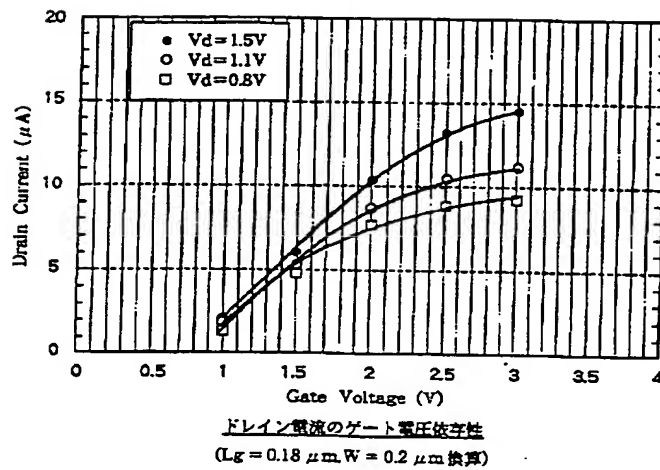
【図12】



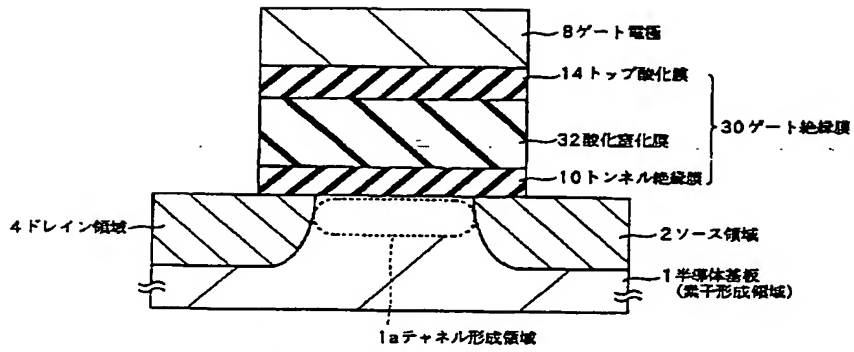
【図13】



【図14】

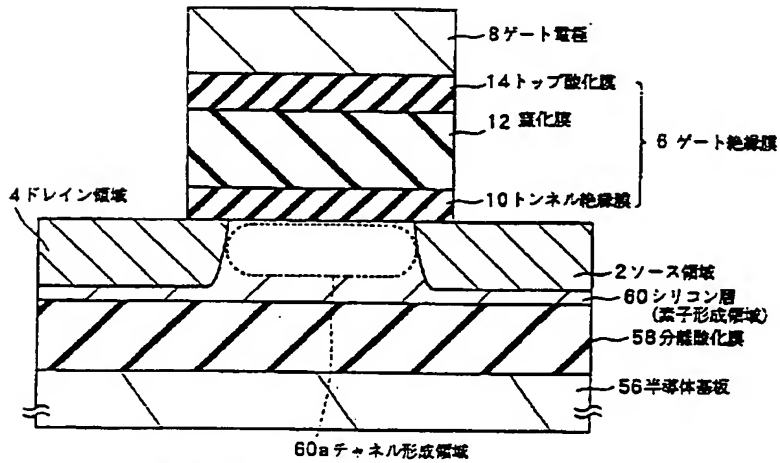


【図17】



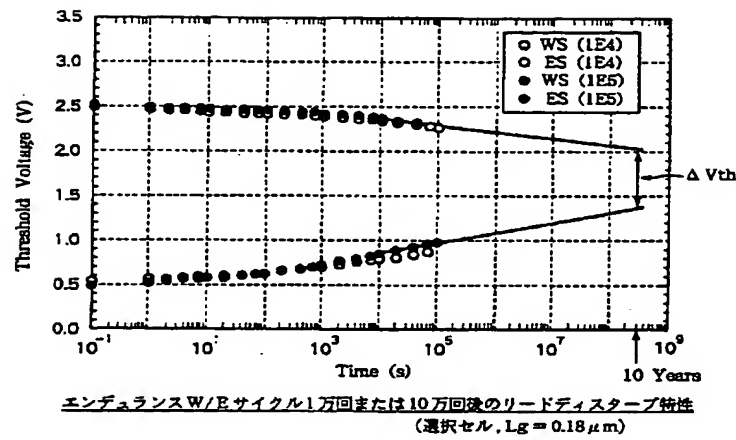
第2実施形態に係る不揮発性メモリトランジスタ

【図19】

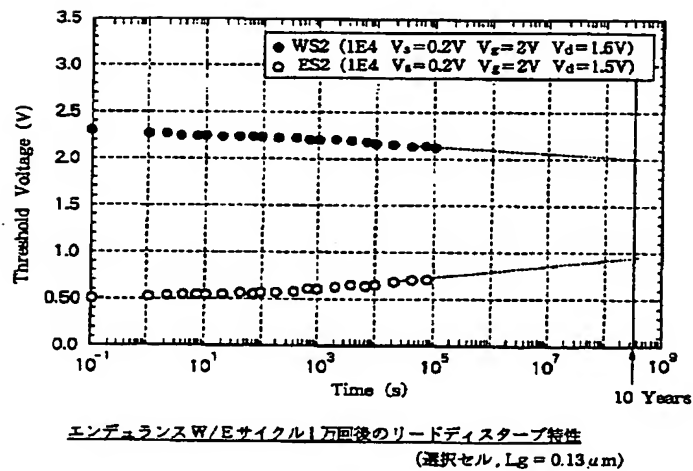


第4実施形態に係る不揮発性メモリトランジスタ

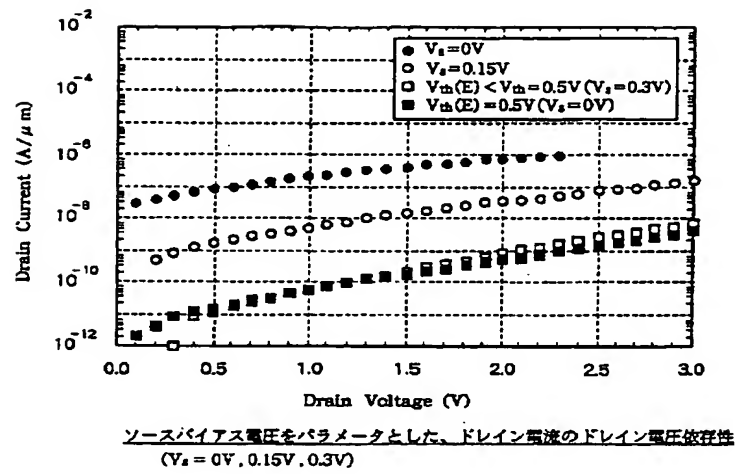
【図20】



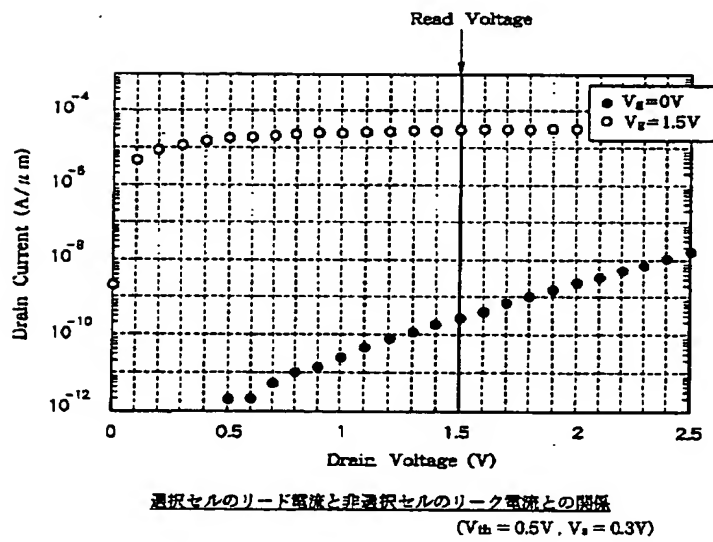
【図21】



【図 22】



【図 23】



【図25】

